

## 高集積小型 USB Type-C™ Power Delivery 3.0 ポート コントローラ

### ハイライト

- 小型 QFN パッケージ
- アナログ ディスクリット部品の集積化による部品コストと基板面積の低減
- USB Power Delivery 3.0 準拠 MAC
- USB Type-C<sup>(1)</sup> コネクタのサポート (接続検出および制御機能付き)
- CPU/SoC 通信のための I<sup>2</sup>C/SPI<sup>(2)</sup> インターフェイス
- USB Type-C オルタネート モードのサポート
- デュアルロール ポート (DRP) とファスト ロールスワップ (FRS) のサポート (DRP オフロードモード付き)

### 代表的アプリケーション

- ノートブック PC
- オールインワン / デスクトップ PC
- スマートフォン
- タブレット
- モニタ
- ドッキングステーション
- HDTV
- プリンタ
- 車載 USB インターフェイス ボックス
- マルチポート充電器

### 主な利点

- アナログ ディスクリット部品の集積化
  - VCONN FET (Rp/Rd 切り換え機能付き)
  - デッドバッテリー Rd 終端
  - 電流値設定可能な過電流検出
  - 電圧値設定可能な過電圧検出
- 3.3 V パワースイッチ内蔵
  - デッドバッテリー時の起動サポート<sup>(2)</sup>
  - VBUS と +3.3 V 主電源間の自動切り換え

- USB Power Delivery MAC
  - USB Power Delivery 仕様 (リビジョン 3.0) 準拠
  - Power Delivery パケット フレーミング
  - CRC チェック / 生成
  - 4B/5B エンコード / デコード
  - BMC エンコード / デコード
  - PD フレームのための EOP/SOP 生成
  - SOP 検出と SOP ヘッダ処理
  - 専用の RX/TX FIFO
  - GoodCRC メッセージの自動生成
  - リトライの自動生成
  - エラー処理
  - 低スタンバイ電力
- USB Type-C ケーブル検出ロジック
  - ケーブルアタッチとケーブル向きの自動検出
  - 検出した方向によってベースバンド通信を各 CC ピンにルーティング
  - アクティブ ケーブルのための VCONN 電源制御
  - 設定可能な DFP (Downstream Facing Port) および UFP (Upstream Facing Port) モード
  - 充電電流供給能力の検出
  - デバッグ アクセサリモードとオーディオアダプタ アクセサリモードの検出
- I<sup>2</sup>C/SPI インターフェイスによる通信 / 設定のサポート (Microchip 社製 USB Power Delivery ハブまたはサポートする組み込みコントローラ経由)<sup>(2)</sup>
- オルタネート モードのサポート
  - DisplayPort™ とその他の主なプロトコル
- CFG\_SEL ピンによるデバイスモードと I<sup>2</sup>C アドレスの選択<sup>(2)</sup>
- 電源と I/O
  - 1.8 V 電圧レギュレータ内蔵
  - 設定可能な 10 本の汎用 I/O ピン
- パッケージ
  - 28-QFN (4.0 mm×4.0 mm)
- 各種の使用環境に対応
  - 商業用 (0 ~ +70 °C)
  - 産業用 (-40 ~ +85 °C)
  - 車載 AEC-Q100 グレード 3 (-40 ~ +85 °C)

1. USB Type-C™ と USB-C™ は USB-IF (Implementer's Forum) の商標です。
2. UPD350 の一部でのみ利用可能です。

## 大切なお客様へ

弊社は、大切なお客様が Microchip 社製品を最適にお使いになれるよう、文書の作成に最善の努力を尽くしています。このため、お客様のニーズにより的確にお応えできるよう継続的に文書の改善に努め、更新版をリリースする際に内容の見直しと充実を図って参ります。

本書に関してご質問またはご意見がございましたら、マーケティング コミュニケーション部宛てにメールでご連絡ください。メールの宛先は [docerrors@microchip.com](mailto:docerrors@microchip.com) です。皆様からのご意見をお待ちしております。

### 最新の文書

本書の最新版を入手するには、弊社ウェブサイトにご登録ください。

<http://www.microchip.com>

データシートのリビジョンは、各ページの欄外下隅に記載されている文書番号で確認できます。文書番号の最後の文字がリビジョン番号を表します (例: DS30000000A\_JP であれば文書 DS30000000\_JP のリビジョン A)。

### エラッタ

現行のデバイスに対して、データシートとの動作上の微妙な相違点と推奨回避策を説明したエラッタシートを発行する場合があります。弊社はデバイスや文書に関する問題を認識した時点でエラッタを発行します。エラッタには該当するシリコンと文書のリビジョンを明記しています。

お使いのデバイス向けにエラッタシートが発行されているかどうかは以下で確認できます。

- Microchip 社のウェブサイト: <http://www.microchip.com>
- Microchip 社営業所 (本書の最後のページに記載)

お問い合わせの際は、お使いのデバイス、シリコンとデータシートのリビジョン (文書番号を含む) をお知らせください。

### お客様向け通知システム

弊社ウェブサイト ([www.microchip.com](http://www.microchip.com)) でご登録頂いたお客様には、弊社の全製品に関する最新情報をお届けします。

## 目次

1.0 序章 .....	4
2.0 はじめに .....	7
3.0 ピンの説明と設定 .....	9
4.0 I <sup>2</sup> C スレーブ コントローラ (UPD350-A/UPD350-C のみ) .....	17
5.0 SPI スレーブ コントローラ (UPD350-B/UPD350-D のみ) .....	22
6.0 クロック、リセット、電源管理 .....	27
7.0 システム制御 .....	31
8.0 ケーブルプラグの方向判定と検出 .....	35
9.0 ベースバンド CC インターフェイス (BCI) .....	45
10.0 Power Delivery MAC .....	46
11.0 パワースイッチ .....	48
12.0 HDMI/DisplayPort ホットプラグ検出 (HPD) .....	49
13.0 ウォッチドッグ タイマ (WDT) .....	50
14.0 動作特性 .....	51
15.0 パッケージ情報 .....	57
補遺 A: 改訂履歴 .....	60
Microchip 社のウェブサイト .....	61
お客様向け変更通知サービス .....	61
お客様サポート .....	61
製品識別システム .....	62

# UPD350

## 1.0 序章

### 1.1 用語集

表 1-1: 用語集

用語	定義
ADC	Analog to Digital Converter: A/D コンバータ
AFE	Analog Front End: アナログ フロントエンド
BCI	Baseband CC Interface: ベースバンド CC インターフェイス
ビルボード	USB ビルボード デバイス USB ホストに製品情報を提供するためにオルタネート モードをサポートする UFP に必要とされる USB デバイスクラス
BIST	Built-In Self Test: 組み込みセルフテスト
BMC	Bi-phase Mark Coding: 2 位相マーク コーディング
バイト	8 ビット
CC	USB Type-C ケーブル / コネクタの CC1/CC2 ピンの総称
CSR	Control and Status Register: 制御 / ステータス レジスタ
DB	Dead Battery: デッドバッテリー
DFP	Downstream Facing Port(『USB Type-C Cable and Connector Specification』の定義)
DP	DisplayPort (VESA 標準インターフェイス)
DPM	Device Policy Manager (PD 仕様の定義)
DRP	Dual Role Power(『USB Type-C Cable and Connector Specification』の定義)
DWORD	32 ビット
EC	Embedded Controller: 組み込みコントローラ
EP	USB エンドポイント
FIFO	First In First Out buffer: 先入れ先出しバッファ
FW	Firmware: ファームウェア
FS	Full-Speed: フルスピード
ホスト	外部システム ( プロセッサ、アプリケーション ソフトウェア等を含む )
HPD	ホットプラグ検出機能 (DisplayPort および DisplayPort オルタネート モード仕様の定義)
HS	High-Speed: ハイスピード
HW	Hardware: ハードウェア ( デバイスによって実装されている機能を指す )
IC	Integrated Circuit: 集積回路
IFC	InterFrame Gap: インターフレーム ギャップ
LDO	Low Drop-Out regulator: 低ドロップアウト レギュレータ
MAC	Media Access Controller: メディアアクセス コントローラ
Microchip	Microchip 社
N/A	Not Applicable: 該当なし
OCS	Over-Current Sense: 過電流検出
PCS	Physical Coding Sublayer: 物理コーディング サブレイヤ
PD / UPD	USB Power Delivery
PIO	General Purpose I/O: 汎用 I/O
PMIC	Power Management Integrated Circuit: 電源管理集積回路
POR	Power-On Reset: パワーオン リセット
PRBS	Pseudo Random Binary Sequence: 擬似乱数バイナリ シーケンス
QWORD	64 ビット
SA	Source Address: 送信元アドレス

表 1-1: 用語集 ( 続き )

用語	定義
SBU	SideBand Use: 側波帯利用
SCSR	System Control and Status Register: システム制御およびステータス レジスタ
SPM	System Policy Manager (PD 仕様の定義)
SS	SuperSpeed: スーパースピード
SVDM	Standard/Vendor Defined Message (PD 仕様の定義)
SVID	Standard/Vendor IDentity (PD 仕様の定義)
TCPC	USB Type-C Port Controller: USB Type-C ポート コントローラ
UFP	Upstream Facing Port(『USB Type-C Cable and Connector Specification』の定義)
USB	Universal Serial Bus: ユニバーサル シリアルバス
USB Type-C	USB Type-C ケーブル / コネクタ
VDO	Vendor-defined Object (PD 仕様の定義)
VSM	Vendor Specific Messaging: ベンダー固有メッセージング
ワード	16 ビット
ZLP	Zero Length USB Packet: 長さ 0 の USB パケット

## 1.2 バッファタイプ

表 1-2: バッファタイプ

バッファタイプ	説明
IS	シュミットトリガ入力
I2C	I <sup>2</sup> C インターフェイス
O8	シンク能力 8 mA、ソース能力 8 mA の出力
OD8	シンク能力 8 mA のオープンドレイン出力
PU	70 k (typ.) の内部プルアップです。ピンの説明で特に明記しない限り、内部プルアップは常に有効です。 <b>Note:</b> 内部プルアップ抵抗は、未接続の入力がフローティングになるのを防ぎます。内蔵プルアップ抵抗を外部デバイスの 'H' 駆動目的に使わないで下さい。High へのプルアップが必要な負荷に接続する場合、外付け抵抗を追加する必要があります。
AIO	アナログ入出力
P	電源ピン

**Note:** 特に明記しない場合、デジタル信号は 5 V 対応ではありません。

**Note:** 各種バッファの電気的特性は [セクション 14.5、「DC 特性」\(p. 53\)](#) を参照してください。

# UPD350

## 1.3 レジスタの分類

表 1-3: レジスタの分類

レジスタビットの種別	レジスタビットの説明
R	<b>Read:</b> この属性を持つレジスタまたはビットは読み出しが可能です。
W	<b>Write:</b> この属性を持つレジスタまたはビットは書き込みが可能です。
RO	<b>Read Only:</b> 読み出し専用です。書き込んでも何も変化しません。
RS	<b>Read to Set:</b> このビットは、読み出すとセットされます。
WO	<b>Write Only:</b> この属性を持つレジスタまたはビットを読み出すと、不定のデータが返されます。
W1S	<b>Write One to Set:</b> 1 を書き込むと値がセットされます。0 を書き込んでも何も変化しません。
W1C	<b>Write One to Clear:</b> 1 を書き込むと値がクリアされます。0 を書き込んでも何も変化しません。
WC	<b>Write Anything to Clear:</b> 任意の値を書き込むと値がクリアされます。
LL	<b>Latch Low:</b> レジスタを読み出すとクリアされます。
LH	<b>Latch High:</b> レジスタを読み出すとクリアされます。
SC	<b>Self-Clearing:</b> セットした後、内容は自動的にクリアされます。0 を書き込んでも何も変化しません。内容の読み出しは可能です。
RO/LH	<b>Read Only, Latch High:</b> この属性を持つビットは読み出すまで High のままです。読み出し後、ビットは High を維持します。しかし、ビットを High にした条件が真でなくなると Low に遷移します。このビットを読み出さなければ、High 条件が変化したかどうかにかかわらずビットは High を維持します。
NASR	<b>Not Affected by Software Reset:</b> この属性を持つビットは、ソフトウェア リセットが発生しても状態が変化しません。
予約済み	<b>予約済みフィールド:</b> 互換性維持のため、特に明記しない場合、予約済みフィールドには 0 を書き込む必要があります。予約ビットを読み出した場合の値は保証されません。

## 1.4 参考文献

- NXP 社の I<sup>2</sup>C バス仕様 (UM10204、2014 年 4 月 4 日): [www.nxp.com/documents/user\\_manual/UM10204.pdf](http://www.nxp.com/documents/user_manual/UM10204.pdf)
- USB Power Delivery および USB Type-C 仕様: [http://www.usb.org/developers/docs/usb\\_31\\_102015.zip](http://www.usb.org/developers/docs/usb_31_102015.zip)
- VESA DisplayPort オルタネート モード (1.0) 仕様: <http://www.vesa.org>

## 2.0 はじめに

### 2.1 概要

UPD350 は『USB Type-C Cable and Connector Specification』と『USB Power Delivery 3.0 Specification』に準拠した高集積小型 USB Type-C Power Delivery (PD) ポート コントローラです。UPD350 は USB Type-C レセプタクルのケーブルプラグの方向を判定し電流供給能力等の属性を検出する機能を備え、パートナーである USB Type-C デバイスとの内蔵 USB Power Delivery 3.0 MAC 経由のベースバンド通信を実装しています。本デバイスはスタンダロン UFP モードで機能する事も、内蔵 I<sup>2</sup>C/SPI インターフェイスを使ってコンパニオン CPU/SoC に接続する事もできます (デバイスバージョン依存のため[セクション 2.2](#)、「UPD350 ファミリの相違点のまとめ」参照)。

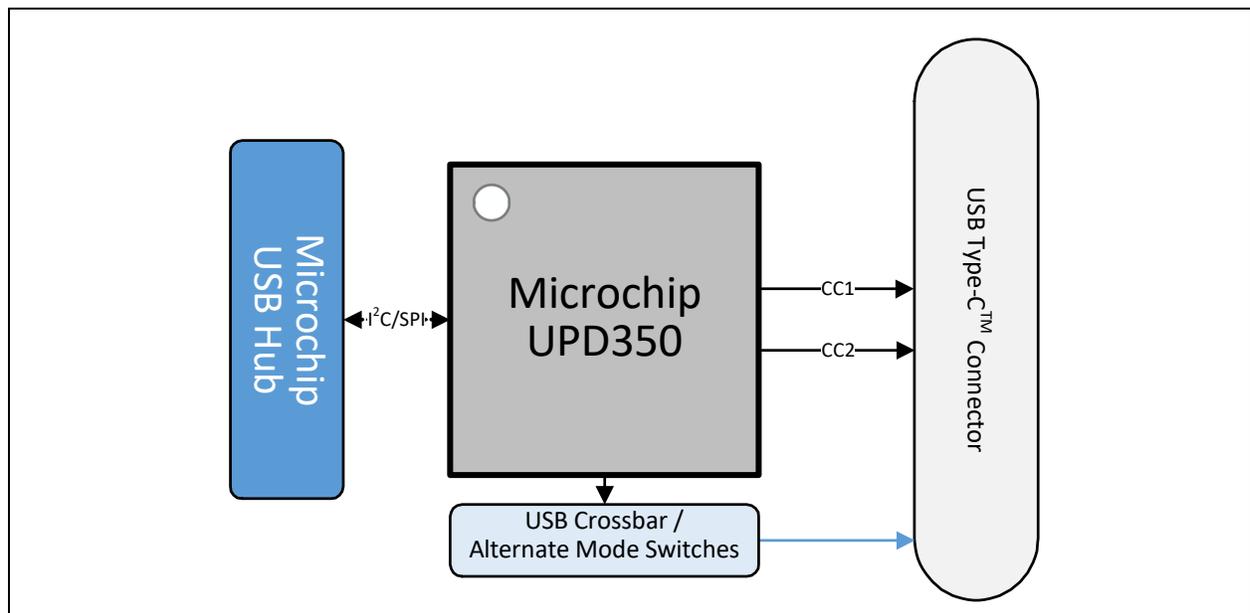
また UPD350 は USB Type-C PD アプリケーションに必要なアナログ ディスクリート部品の多く (例: Rp/Rd 切り換え機能を備えた 2 つの VCONN FET、パワースイッチ、過電圧 / 電流検出のための電流および電圧検出回路) を集積しています。UPD350 は USB Type-C PD アプリケーションに必要なアナログ ディスクリート部品の多くを集積する事で、コンシューマ アプリケーション (例: ノート PC、デスクトップ PC、スマートフォン、タブレット、モニタ、ドッキングステーション) 向けに低コスト、低消費電力、小フットプリントのソリューションを提供しています。

UPD350 はデッドバッテリー充電機能を効率的にサポートできるように、2 つの外部 3.3 V 電源 (VBUS と主電源) を選択するためのパワースイッチを内蔵しています。これにより、外部プロセッサはスリープモードのまま、簡単に接続を検出しシステムを復帰させる事ができます。

UPD350 は Power Delivery 3.0 プロトコルを使って、USB Type-C コネクタを介してオルタネート モードをネゴシエートする事もできます。その他の主なプロトコルに加えて、USB Type-C コネクタを介した DisplayPort 動作もサポートしています。

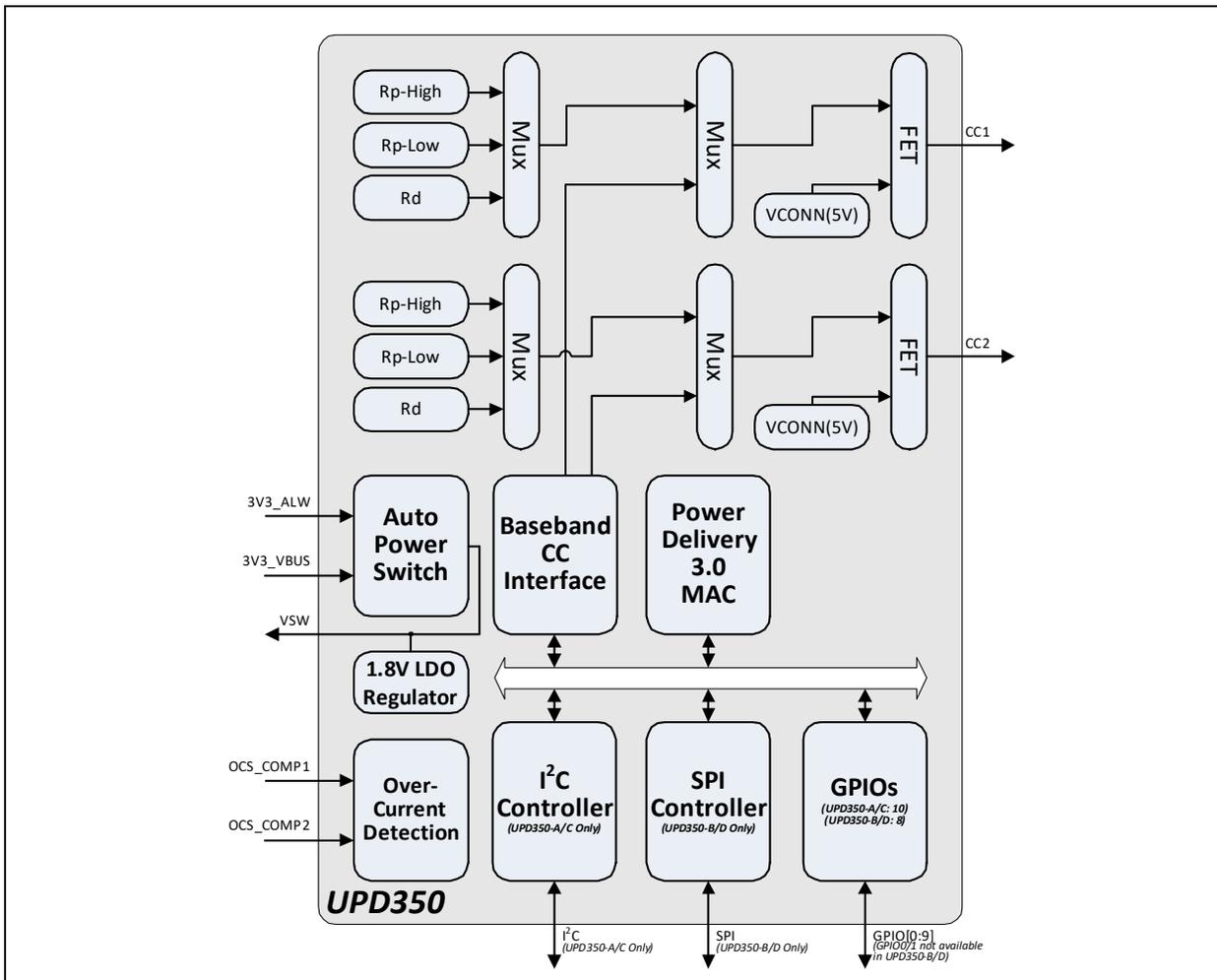
[図 2-1](#) に、UPD350 を使う場合のシステム図を示します。[図 2-2](#) に、UPD350 の内部ブロック図を示します。

**図 2-1: システムブロック図**



# UPD350

図 2-2: 内部ブロック図



## 2.2 UPD350 ファミリの相違点のまとめ

UPD350 には以下の 4 つのバージョンがあります。

- UPD350-A
- UPD350-B
- UPD350-C
- UPD350-D

表 2-1 に、これらのバージョンの相違点をまとめます。UPD350 ファミリー全体にあてはまらないデバイス固有の機能は、この文書全体にわたって個別に記載しています。ご注文に関する情報は製品識別システム (p. 62) を参照してください。

表 2-1: UPD350 ファミリーの相違点

デバイス	+1.8 ~ 3.3 V I <sup>2</sup> C インターフェイス	SPI インターフェイス	スタンドアロン UFP モード	デッドバッテリー サポート
UPD350-A	X		X	X
UPD350-B		X		X
UPD350-C	X		X	
UPD350-D		X		

## 3.0 ピンの説明と設定

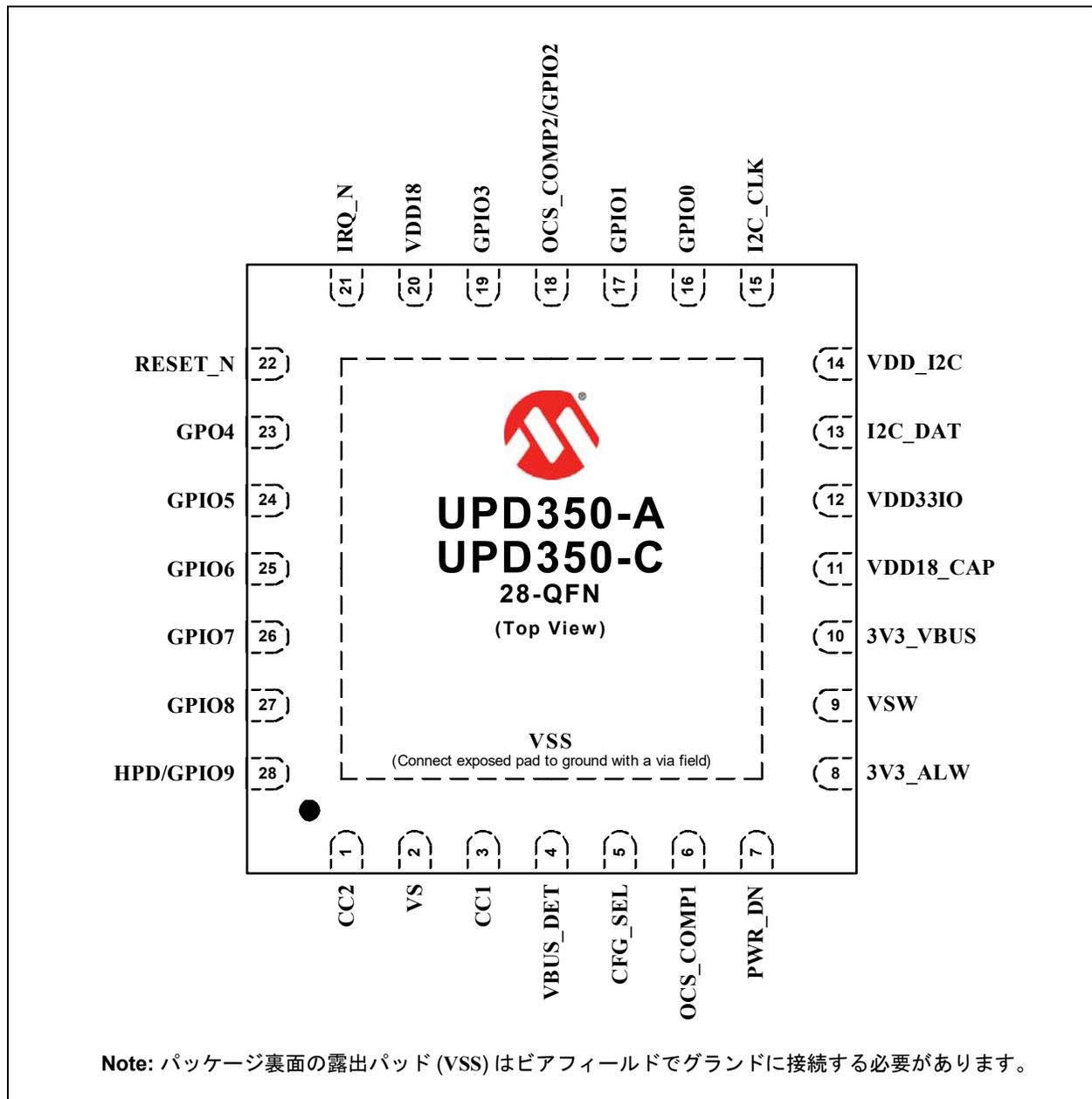
### 3.1 ピン割り当て

UPD350-A/UPD350-C のピン割り当ては[セクション 3.1.1、「UPD350-A/UPD350-C ピン割り当て」](#)(p. 9) で説明します。UPD350-B/UPD350-D のピン割り当ては[セクション 3.1.2、「UPD350-B/UPD350-D ピン割り当て」](#)(p. 11) で説明します。UPD350 ファミリの相違点は[セクション 2.2、「UPD350 ファミリの相違点のまとめ」](#)(p. 8) を参照してください。

#### 3.1.1 UPD350-A/UPD350-C ピン割り当て

UPD350-A/UPD350-C のピン割り当ては全く同じです。[図 3-1](#) に、UPD350-A/UPD350-C のピン配置図を示します。[表 3-1](#) に、UPD350-A/UPD350-C のピン割り当て表を示します。各ピンの詳細は[セクション 3.2、「ピンの説明」](#)で説明します。

**図 3-1: UPD350-A/UPD350-C ピン配置図 (上面)**



# UPD350

表 3-1: UPD350-A/UPD350-C ピン割り当て

ピン	ピン名	ピン	ピン名
1	CC2	15	I2C_CLK
2	VS	16	GPIO0 (Note 3-1)
3	CC1	17	GPIO1 (Note 3-1)
4	VBUS_DET	18	OCS_COMP2/GPIO2 (Note 3-1)
5	CFG_SEL	19	GPIO3 (Note 3-1)
6	OCS_COMP1	20	VDD18
7	PWR_DN	21	IRQ_N
8	3V3_ALW	22	RESET_N
9	VSW	23	GPO4
10	3V3_VBUS	24	GPIO5 (Note 3-1)
11	VDD18_CAP	25	GPIO6 (Note 3-1)
12	VDD33IO	26	GPIO7 (Note 3-1)
13	I2C_DAT	27	GPIO8 (Note 3-1)
14	VDD_I2C	28	HPD/GPIO9 (Note 3-1)

**Note 3-1** スタンドアロン UFP モードの場合、このピンは代替機能を提供します。詳細はセクション 3.1.1.1、「UPD350-A/UPD350-C の GPIO 機能 (スタンドアロン UFP モード)」を参照してください。

### 3.1.1.1 UPD350-A/UPD350-C の GPIO 機能 (スタンドアロン UFP モード)

UPD350-A/UPD350-C をスタンドアロン UFP モードに設定した場合、以下の GPIO ピンが特定の代替機能に割り当てられます (表 3-2 参照)。

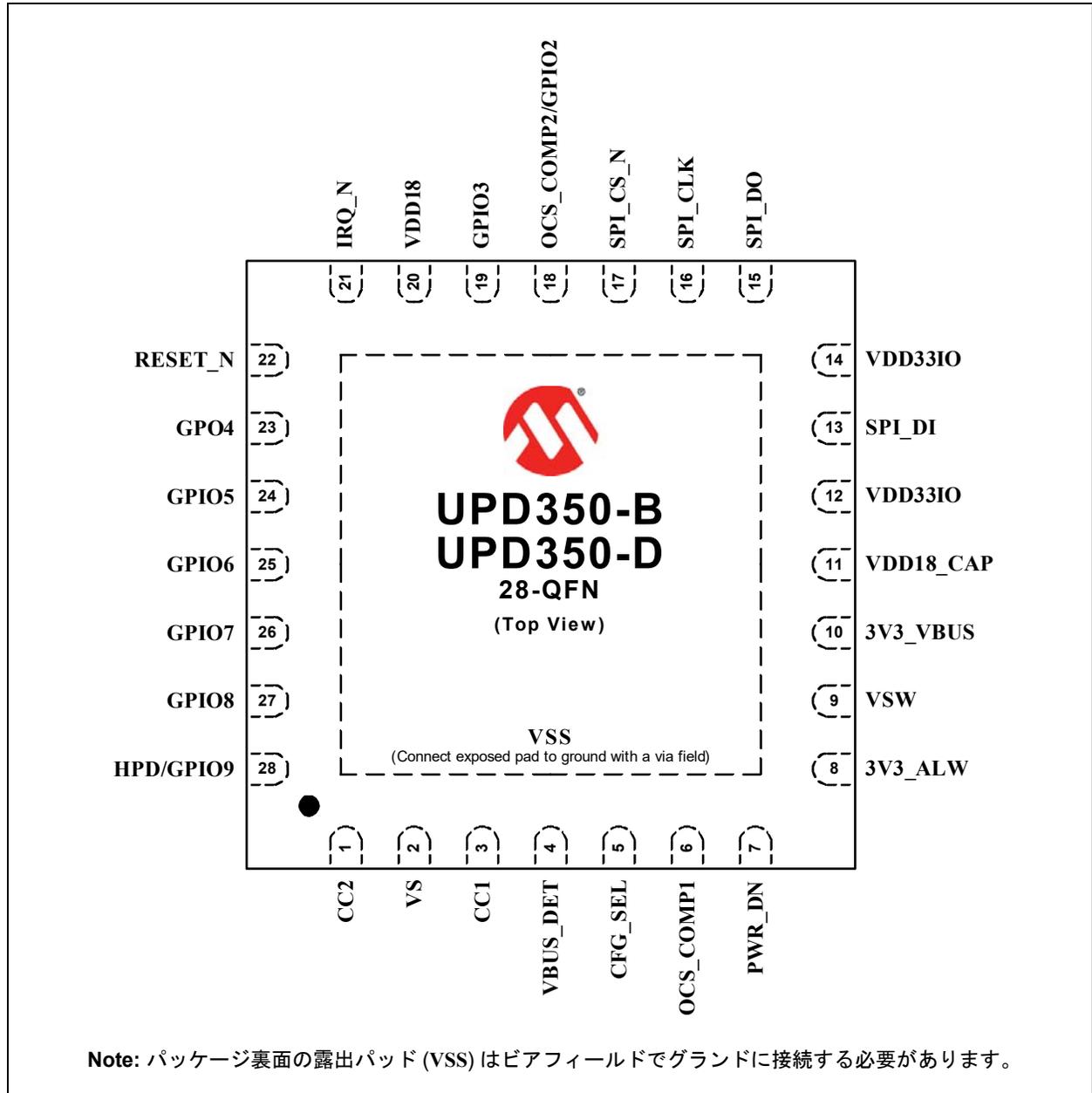
表 3-2: スタンドアロン UFP モードの UPD350-A / UPD350-C 代替 GPIO 機能

ピン	I <sup>2</sup> C コンパニオン モード	スタンドアロン UFP モード
16	GPIO0	GPIO0
17	GPIO1	GPIO1
18	GPIO2	方向
19	GPIO3	接続
23	GPO4	GPO4
24	GPIO5	GPIO5
25	GPIO6	SINK_5V_LEGACY_N
26	GPIO7	SINK_5V_1A5_N
27	GPIO8	SINK_5V_3A0_N
28	GPIO9	GPIO9

## 3.1.2 UPD350-B/UPD350-D ピン割り当て

UPD350-B/UPD350-D のピン割り当ては同じです。図 3-2 に、UPD350-B/UPD350-D のピン配置図を示します。表 3-3 に、UPD350-B/UPD350-D のピン割り当て表を示します。各ピンの詳細はセクション 3.2、「ピンの説明」で説明します。

図 3-2: UPD350-B/UPD350-D ピン配置図 (上面)



# UPD350

---

---

表 3-3: UPD350-B/UPD350-D ピン割り当て

ピン	ピン名	ピン	ピン名
1	CC2	15	SPI_DO
2	VS	16	SPI_CLK
3	CC1	17	SPI_CS_N
4	VBUS_DET	18	OCS_COMP2/GPIO2
5	CFG_SEL	19	GPIO3
6	OCS_COMP1	20	VDD18
7	PWR_DN	21	IRQ_N
8	3V3_ALW	22	RESET_N
9	VSW	23	GPO4
10	3V3_VBUS	24	GPIO5
11	VDD18_CAP	25	GPIO6
12	VDD33IO	26	GPIO7
13	SPI_DI	27	GPIO8
14	VDD33IO	28	HPD/GPIO9

## 3.2 ピンの説明

以下では、各種デバイス信号の機能を説明します。

表 3-4: ピンの説明

名前	記号	バッファタイプ	説明
<b>USB Type-C</b>			
Configuration Channel 1	CC1	AIO	USB Type-C ケーブル接続の探索、設定、管理に使うコンフィグレーションチャンネル (CC)
Configuration Channel 2	CC2	AIO	USB Type-C ケーブル接続の探索、設定、管理に使うコンフィグレーションチャンネル (CC)
<b>I<sup>2</sup>C インターフェイス (UPD350-A/UPD350-C のみ)</b>			
I <sup>2</sup> C Clock	I2C_CLK	I2C	+1.8/3.3 V I <sup>2</sup> C のクロック信号
I <sup>2</sup> C Data	I2C_DAT	I2C	+1.8/3.3 V I <sup>2</sup> C のデータ信号
<b>SPI インターフェイス (UPD350-B/UPD350-D のみ)</b>			
SPI Clock	SPI_CLK	IS	SPI クロック サポートする最大の SPI クロック周波数は 25 MHz です。
SPI Data Out	SPI_DO	O8	SPI の出力データ
SPI Data In	SPI_DI	IS	SPI の入力データ
SPI Chip Enable	SPI_CS_N	IS	SPI のチップイネーブル入力 (アクティブ Low)
<b>Power Delivery 制御</b>			
Hot Plug Detect	HPD	IS/O8	DisplayPort のホットプラグ検出
VBUS Discharge	DISCHARGE	O8	VBUS の放電 <b>Note:</b> この信号は UPD350-B/UPD350-D では使えません。
Type-C Attach	ATTACH	O8	スタンドアロンUFPモード (UPD350-A/UPD350-C のみ) で、この信号は、近端と遠端の両方の USB Type-C レセプタクルにプラグが接続されている事を示します。  0b: (何も) 接続されていない 1b: USB Type-C ポートは接続 (アタッチ) 状態 <b>Note:</b> この信号を使わない場合、フローティングにします。 <b>Note:</b> この信号は UPD350-B/UPD350-D では使えません。
Type-C Orientation	ORIENTATION	O8	スタンドアロンUFPモード (UPD350-A/UPD350-C のみ) で、この信号は、接続したデバイスがどちらの CC ピンを終端しているかを示します。  0b: CC1 ピンが CC2 ピンよりも高い電圧にプルアップされている。 1b: CC2 ピンが CC1 ピンよりも高い電圧にプルアップされている。 <b>Note:</b> この信号を使わない場合、フローティングにします。 <b>Note:</b> この信号は UPD350-B/UPD350-D では使えません。

# UPD350

表 3-4: ピンの説明 ( 続き )

名前	記号	バッファタイプ	説明
Sink Legacy Current	SINK_5V_LEGACY_N	OD8	<p>スタンダアロンUFPモード(UPD350-A/UPD350-Cのみ)で、レガシー USB 電流を供給するソースが検出された場合、このピンは自律的にアサートされます。</p> <p><b>Note:</b> この信号を使わない場合、フローティングにします。</p> <p><b>Note:</b> この信号は UPD350-B/UPD350-D では使えません。</p>
Sink 1.5A Current	SINK_5V_1A5_N	OD8	<p>スタンダアロンUFPモード(UPD350-A/UPD350-Cのみ)で、1.5 A USB 電流を供給するソースが検出された場合、このピンは自律的にアサートされます。</p> <p><b>Note:</b> この信号を使わない場合、フローティングにします。</p> <p><b>Note:</b> この信号は UPD350-B/UPD350-D では使えません。</p>
Sink 3A Current	SINK_5V_3A0_N	OD8	<p>スタンダアロンUFPモード(UPD350-A/UPD350-Cのみ)で、3.0 A USB 電流を供給するソースが検出された場合、このピンは自律的にアサートされます。</p> <p><b>Note:</b> この信号を使わない場合、フローティングにします。</p> <p><b>Note:</b> この信号は UPD350-B/UPD350-D では使えません。</p>
<b>その他の機能</b>			
Interrupt	IRQ_N	OD8	<p>割り込み信号 (アクティブ Low)</p> <p><b>Note:</b> この信号を使わない場合、フローティングにします。</p>
VBUS Detection	VBUS_DET	AIO	<p>VBUS を分圧した電圧です。この信号は、抵抗分圧器を介してVBUSに接続します。</p>
Configuration Select	CFG_SEL	AIO	<p>このマルチレベル コンフィグレーション信号はシステムリセットの後にサンプリングされ、接続された 1% 精度の抵抗値に基づいて本デバイスの既定値の動作モードを選択します。</p> <p><b>Note:</b> このピンは、UPD350-A/UPD350-C では既定値の I<sup>2</sup>C スレーブアドレスと動作モードを決定するために使います。UPD350-B/UPD350-D ではユーザ固有の目的のために、接続された抵抗値に基づいて離散値 (0 ~ 15) を提供するのに使えます。</p>

表 3-4: ピンの説明 ( 続き )

名前	記号	バッファタイプ	説明
General Purpose I/O 0-9	GPI00, GPI01, GPI02, GPI03, GPO4, GPI05, GPI06, GPI07, GPI08, GPI09	IS/O8/ OD8 (PU)	汎用 I/O 信号はプッシュプル出力、オープンドレイン出力、シュミットトリガ入力 (GPO4 以外) のいずれかとして設定できます。プログラマブルなプルアップも任意で有効にできます。  <b>Note:</b> これらの GPIO の機能は、UPD350 の外部 (Microchip 社製 USB ハブまたは組み込みコントローラ内) で実行される USB Power Delivery ファームウェアによって定義および制御されます。  <b>Note:</b> <b>GPO4 汎用信号は出力としてのみ機能し、外部でプルアップする必要があります。</b>  <b>Note:</b> これらの信号を使わない場合、グラウンドに接続します。  <b>Note:</b> リセットステートに入った際に外部デバイスへの入力が有効なステートに確実に駆動されるように、外部プルアップおよびプルダウンを GPIO ピンに接続する必要があります。  <b>Note:</b> UPD350-B/UPD350-D では GPI00 と GPI01 は使えません。  <b>Note:</b> スタンドアロン UFP モード (UPD350-A/UPD350-C のみ) では、特定の GPIO が代替の専用機能を備えています ( <a href="#">セクション 3.1.1.1</a> 、 <a href="#">「UPD350-A/UPD350-C の GPIO 機能 (スタンドアロン UFP モード)」</a> (p. 10) 参照 )。
System Reset	RESET_N	IS	アクティブ Low のシステムリセット  <b>Note:</b> この信号を使わない場合、VDD33IO にプルアップする必要があります。
Power Down	PWR_DN	AI	アサートすると、本デバイスはパワーダウン状態に移行します。  <b>Note:</b> この信号を使わない場合、グラウンドに接続します。
Over-Current Sense Comparator 1	OCS_COMP1	AI	内蔵 OCS コンパレータがこのピンを使ってエラー条件を検出します。  <b>Note:</b> この信号を使わない場合、グラウンドに接続します。
Over-Current Sense Comparator 2	OCS_COMP2	AI	内蔵 OCS コンパレータがこのピンを使ってエラー条件を検出します。  <b>Note:</b> この信号を使わない場合、グラウンドに接続します。
<b>電源 / グラウンド</b>			
+3.3V Voltage Switch Supply	VSW	P	内蔵パワースイッチからの +3.3 V 電源出力  <b>Note:</b> またこのピンは、内蔵パワースイッチのための出力容量として 1 $\mu$ F (< 100 m $\Omega$ ESR) のコンデンサを介してグラウンドに接続する必要があります。
+3.3V VBUS Supply	3V3_VBUS	P	VBUS から内蔵パワースイッチに導かれた +3.3 V 主電源入力  <b>Note:</b> UPD350-A と UPD350-B にのみ 2.2 $\mu$ F のコンデンサが必要です。

# UPD350

表 3-4: ピンの説明 ( 続き )

名前	記号	バッファ タイプ	説明
+3.3V Always Supply	3V3_ALW	P	内蔵パワースイッチへの +3.3 V 主電源入力 <b>Note:</b> このピンは、2.2 $\mu$ F のコンデンサを介してグラウンドに接続する必要があります。
+3.3V I/O Power Supply Input	VDD33IO	P	+3.3 V I/O の電源入力
+3.3/1.8V I <sup>2</sup> C Power Supply Input	VDD_I2C	P	+3.3/1.8 V I <sup>2</sup> C の電源入力です。+3.3 V I <sup>2</sup> C インターフェイスの場合、このピンを VDD33IO に接続します。+1.8 V I <sup>2</sup> C インターフェイスの場合、このピンを VDD18 に接続します。 <b>Note:</b> このピンは UPD350-B/UPD350-D では使えません。
+1.8V Core Voltage Power Supply Input	VDD18	P	+1.8 V コア電圧の電源入力
+1.8V Digital Core Power Supply Capacitor	VDD18_CAP	P	+1.8 V デジタルコアの電源コンデンサです。適切に動作させるには、この信号を 1 $\mu$ F のコンデンサを介してグラウンドに接続する必要があります。
+5V VS Power Supply Input	VS	P	+5 V VCONN FET の電源
Ground	VSS	P	グラウンドピン

## 4.0 I<sup>2</sup>C スレーブ コントローラ (UPD350-A/UPD350-C のみ)

本章では、UPD350-A と UPD350-C が内蔵している I<sup>2</sup>C スレーブ コントローラ (I2C\_DAT と I2C\_CLK) を説明します。この I<sup>2</sup>C スレーブ コントローラを、ホスト CPU によるシリアル管理とデータ転送に使うと、デバイスの全てのコンフィグレーションおよびステータス レジスタにホストがアクセスできます。

### 4.1 I<sup>2</sup>C の概要

I<sup>2</sup>C は双方向 2 線式データプロトコルです。データを送信しているデバイスを「トランスミッタ」、データを受信しているデバイスを「レシーバ」と呼びます。マスタがバスを制御します。マスタは SCL クロックの生成、バスアクセスの制御、START および STOP 条件の生成を行います。マスタとスレーブは、マスタの決定に従ってビットごとにトランスミッタとしてもレシーバとしても動作します。本デバイスの I<sup>2</sup>C コントローラはスレーブのみです。「ホスト」と「マスタ」の用語は同義であり、どちらも本インターフェイスの外側を指します。

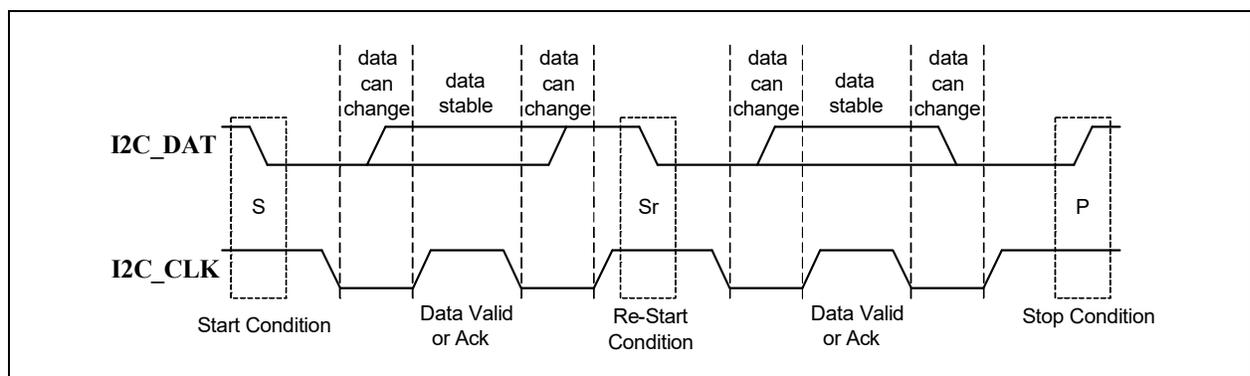
クロック (SCL) 信号とデータ (SDA) 信号はどちらも 50 ns 未満のパルスを除くアナログ入力フィルタを備えています。I<sup>2</sup>C バスのワイヤード AND 機能をエミュレートしてどちらかのインターフェイスが Low を送った場合、データピンは Low に駆動されます。スレーブ インターフェイスはクロックピンを駆動しないため、ワイヤード AND は不要です。

以下のバス状態が存在します。

- **アイドル** : バスがアイドルの場合、I2C\_DAT と I2C\_CLK はどちらも High です。
- **START/STOP 条件** : START 条件 (S) は、SCL ラインを High に保持しながら SDA ラインを High から Low に遷移させる事として定義されています。STOP 条件 (P) は、SCL ラインを High に保持しながら SDA ラインを Low から High に遷移させる事として定義されています。バスは START 条件後ビジーであるとみなされ、STOP 条件後 4.7 μs/1.3 μs/0.5 μs (それぞれ 100 kHz/400 kHz/1 MHz 動作の場合) が経過するとフリーであるとみなされます。反復 START 条件 (Sr) 後、STOP 条件がない場合、バスはビジー状態を維持します。それ以外の点では、START/STOP シーケンスと反復 START の機能は同じです。
- **データ有効** : START 条件の後、SCL が High の間に SDA が変化しないとデータは有効です。データは、クロックが Low の間のみ変更できます。クロック 1 パルスあたり 1 つの有効ビットを転送します。各バイトは 8 ビット長である必要があり、MSb から順に送信されます。
- **肯定応答 (ACK)** : データの各バイトの後に 1 つの肯定応答ビットが続きます。このビットに対してマスタは 9 番目のクロックパルスを生成し、トランスミッタは SDA を解放 (High) します。肯定的な「肯定応答」(ACK) を発行する場合、セットアップおよびホールド時間を考慮しながらレシーバは SDA を Low に駆動します (クロックの High 期間中 ACK が有効のままであるようにレシーバは SDA を Low に駆動します)。否定的な「否定応答」(NACK または ACK) を発行する場合、このビット期間中レシーバはラインを High に維持します。レシーバは、データの方角に応じてマスタまたはスレーブになる事ができます。通常、レシーバは各バイトに肯定応答します。マスタがレシーバの場合、転送の最後のバイトには肯定応答を生成しません。こうする事で、次のデータバイトを駆動しないようにスレーブに知らせ、マスタが STOP または反復 START 条件を生成できるように SDA を解放します。

図 4-1 に、代表的な I<sup>2</sup>C サイクルの各種バスステートを示します。

図 4-1: I<sup>2</sup>C サイクル



# UPD350

## 4.2 I<sup>2</sup>C スレーブ動作

I<sup>2</sup>C スレーブシリアル インターフェイスは 1 本のデータ線 (I2C\_DAT) と 1 本のシリアルクロック (I2C\_CLK) で構成されています。シリアルクロックはマスタによって駆動されます。一方、データ線は双方向です。両信号はオープンドレインであり、外付けプルアップ抵抗が必要です。

本 I<sup>2</sup>C スレーブ コントローラはローレベルの I<sup>2</sup>C スレーブシリアル インターフェイス (START および STOP 条件の検出、データビットの送受信、ACK の生成 / 受信) を実装しており、スレーブコマンド プロトコルを処理し、システムレジスタの読み書きを実行します。また、特に透過的な「ホストアクセスによる復帰」( [セクション 6.3](#)、[「I<sup>2</sup>C による非同期の復帰 \(UPD350-A/UPD350-C のみ\) 」](#) (p. 28) 参照) をサポートするための、クロック ストレッチングを受け入れ、かつ提供できます。

本 I<sup>2</sup>C スレーブ コントローラは NXP 社の『I<sup>2</sup>C-Bus Specification』(UM10204、2014 年 4 月 4 日) に準拠しており、その中に定義された以下のモードのトラフィックをサポートしています。

- 標準モード (Sm、100 kbit/s)
- ファストモード (Fm、400 kbit/s)
- ファストモード プラス (Fm+、1 Mbit/s)

タイミング情報は [セクション 14.6.2](#)、[「I<sup>2</sup>C スレーブ インターフェイス \(UPD350-A/UPD350-C のみ\) 」](#) (p. 55) を参照してください。

### 4.2.1 I<sup>2</sup>C スレーブコマンドのフォーマット

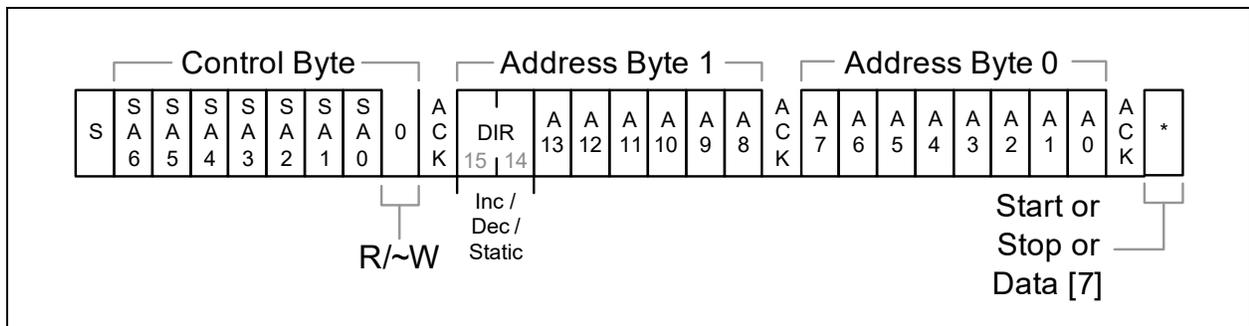
I<sup>2</sup>C スレーブシリアル インターフェイスは、シングルレジスタとマルチレジスタの読み書きコマンドをサポートしています。読み書きコマンドはマスタが最初に START 条件を送った後、制御バイトを続ける事で開始されます。この制御バイトは 7 ビットのスレーブアドレスと 1 ビットの読み出し / 書き込みインジケータ (R/W) から構成されます。本デバイスが使う既定値のスレーブアドレスは [CFG\\_SEL](#) コンフィグレーション ストラップで選択されます。制御バイトのスレーブアドレスがこのアドレスと一致する場合、デバイスは肯定応答を返します。一致しない場合、次の START 条件までシーケンス全体が無視されます。本 I<sup>2</sup>C スレーブ コントローラはジェネラルコール アドレスもサポートしています。 [図 4-2](#)、[図 4-4](#)、[図 4-5](#) に、I<sup>2</sup>C コマンドのフォーマットを示します。

制御バイトの読み書きインジケータ (R/W) が 0 (書き込み) の場合、マスタが送る次の 2 バイトはレジスタアドレスであり、これらの 2 バイトは必須です。アドレス フィールドの上位 (最初の) 2 ビットは方向制御 (DIR) フィールドであり、マルチバイト アクセスが発行されたアドレス ( [セクション 4.2.2](#) ) に対してインクリメント、デクリメント、固定 (静止) のいずれかの操作を行うかを示します。アドレスバイトに本デバイスが肯定応答したら、マスタはデータバイトを送る事ができます。このアドレスを先頭にこれらのデータバイトは連続するレジスタに書き込まれます。マスタは、代わりに START 条件 (データの読み出しを開始) または STOP 条件 (アドレスの設定のみ) を送る事もできます。最後の 2 つは、データを書き込む前に現在の書き込みを終了させます。しかし、後続の読み出しで使われる内部レジスタアドレスを設定します。

制御バイトの読み書きインジケータ (R/W) が 1 (読み出し) の場合、デバイスは制御バイト肯定応答ビットに続けてデータの送信を開始します。読み出しコマンド自体はアドレスを指定できません。しかし、書き込みコマンドの前に置く事でアドレスを指定できます ( [図 4-4](#) 参照、グレーの接頭辞)。ただし、マルチレジスタ読み書きの直後に読み出しが続いた場合、そのアドレスは DIR フィールドに従って内部的にインクリメントまたはデクリメントされている可能性があります。そのため、この読み出しは次の連続するバイトアドレスでアクセスを開始します。また直前のアクセスにかかわらず、マルチバイト読み出しは直前に発行された DIR フィールド ( [セクション 4.2.2](#) ) の設定に従って内部的にインクリメント / デクリメントを継続します。

レジスタアドレス フィールドの長さは常に 2 バイトです。上位ビットの一部はドントケアです。ドントケアのレジスタ アドレスビットは、上位互換性のために常に「0」として送る必要があります。

図 4-2: I<sup>2</sup>C スレーブアドレス指定



**Note:** バイト ( アドレスとデータ ) 内で、ビットは最上位ビット (MSb) から順に転送されます。アドレスは最上位バイト (MSB) から順に転送されます。全てのレジスタはバイト単位でアクセスされ、レジスタデータはバイトアドレスが増える順に転送されます。マルチバイト値の伝送順序に関する前述の影響を判断するには本デバイスのレジスタ配置を参照してください。

## 4.2.2 マルチバイト レジスタアドレスのシーケンシング

アドレス フィールドビット [15:14] の DIR サブフィールドはマルチバイト シーケンスの解釈方法を決定します。このフィールドは、発行された時期にかかわらず内部的にアドレスを保持しています。しかし、このアドレスは、マルチバイトの転送、読み出し、書き込みを除き、I<sup>2</sup>C では適用されません。DIR フィールドの定義は以下の通りです。

- **DIR = 00b:** マルチバイト パケットでの連続バイトアクセス向けに、内部的に保持されたレジスタアドレスの自動インクリメントを選択します。
- **DIR = 10b:** マルチバイト パケットでの連続バイトアクセス向けに、内部的に保持されたレジスタアドレスの自動デクリメントを選択します。
- **DIR = 11b:** 固定アドレスを選択します。内部レジスタアドレスは変更されません。これは、後続の全てアクセス (シングルまたはマルチバイト) が同一のレジスタに対して行われる事を意味します。
- **DIR = 01b:** 将来用に予約済みです。

DIR フィールドはアドレスを発行する事によってのみ変更される事に注意します。DIR フィールドは、変更されるまで後続の全マルチバイト読み出しパケットに影響し続けます。

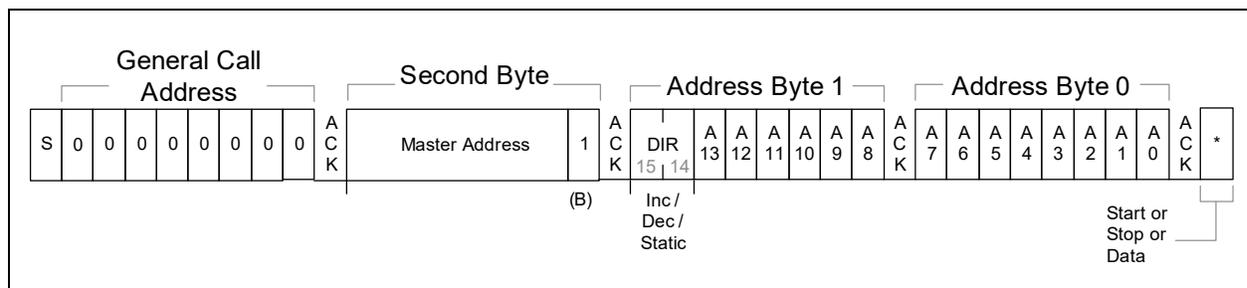
## 4.2.3 ジェネラルコール アドレス

本デバイスは、I<sup>2</sup>C ジェネラルコール アドレスをサポートしています。この機能の目的は、複数の UPD350 スレーブが存在するトポロジに対するグローバル I<sup>2</sup>C 書き込みを有効にする事です。これにより、デバイスリセットと各種の共通コンフィグレーション レジスタのための I<sup>2</sup>C トランザクションを最小限に抑えます。この動作モードは、UPD350 スレーブのみから構成されるトポロジを対象としています。この動作モードは、I<sup>2</sup>C バス上に共存する UPD350 以外のスレーブとは互換性がない可能性があります。

ジェネラルコール アドレスの最下位ビット「B」が 1 に設定されている場合のみをサポートしています。本デバイスは、ジェネラルコール アドレスの最下位ビット「B」が 0 に設定されている場合を無視します。後者の場合、本デバイスはジェネラルコール アドレスの最初のバイトに ACK を返します。本デバイスは全ての後続バイトを無視して破棄し、否定応答します。ジェネラルコール アドレスの第 2 バイトも無視し、否定応答します。

図 4-3 に、サポートするジェネラルコール アドレスのフォーマットを示します。

図 4-3: I<sup>2</sup>C ジェネラルコール アドレス



## 4.2.4 デバイス初期化

デバイスが自身を初期化して各種コンフィグレーション入力が有効になるまで、I<sup>2</sup>C スレーブ インターフェイスは外部ピン動作にตอบสนองせず、これらの影響を受ける事はありません。このステートでは、本デバイスはマスタからはアクセスできません。ただし、マスタから本デバイスをアクセスする必要がある場合、制御バイトの ACK ビット期間中とマスタが送信した後続バイトの ACK ビット期間中、このステートは外部からは NACK (High) として見えます。本デバイスは内部的に初期化された後、最初の START 条件を受信するまでこの動作を続けます。読み出しトランザクションは、アドレス書き込みが正常に完了するまで試みるべきではありません (図 4-2)。そうしないと、読み出した値は予測不可能になる事があります。別の方法として、デバイスの準備が整った事を示すのに IRQ<sub>N</sub> ピンのアサートを使う事もできます。

# UPD350

## 4.2.5 電源管理モード中およびモード後のアクセス

低消費電力モード中、START 条件を受信すると本デバイスは復帰します。その際、内部クロックが起動しロックするまで I<sup>2</sup>C クロックを Low にストレッチします。その後 I<sup>2</sup>C クロックを解放し、受信パケットを処理します。

スレーブアドレス ビットを受信する前に本デバイスはこれらの手順を実行します。これは、同一 I<sup>2</sup>C バスセグメント上にこのタイプの複数のデバイスがスリープ状態で存在する場合、これらのデバイスは全て実際にアドレス指定されているかどうかにかかわらずクロックをストレッチし復帰する事を意味します。I<sup>2</sup>C トランザクションのスレーブアドレスが I<sup>2</sup>C スレーブアドレス レジスタ (I2C\_ADDR) (UPD350-A/UPD350-C のみ) で指定された値と一致しない場合、本デバイスは自動的に低消費電力モードに移行します。

## 4.2.6 I<sup>2</sup>C スレーブ読み出しシーケンス

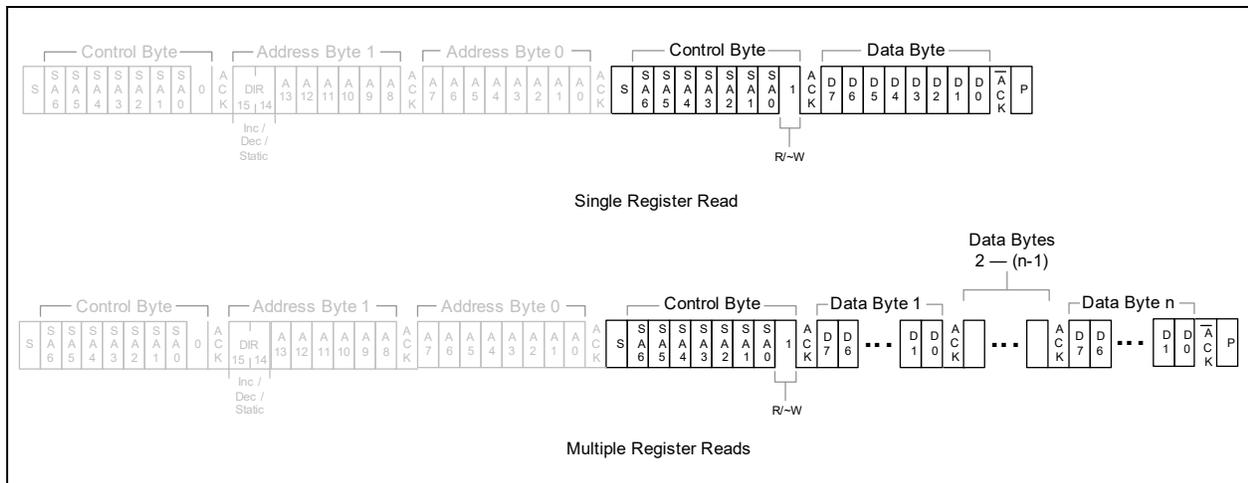
デバイスのアドレス指定 (セクション 4.2.1 参照) の後、マスタが START 条件と R/W ビットを「1」にセットした制御バイトを送ると、本デバイスはレジスタを読み出します。制御バイトのスレーブアドレスが本デバイスのアドレスと一致する場合この制御バイトを肯定応答します。一致しない場合、次の START 条件までシーケンス全体が無視されます。肯定応答に続いて、本デバイスは最後に発行した DIR アドレス サブフィールド (セクション 4.2.2) に従って連続するレジスタアドレスから 1 バイト以上のデータを送信します。これはマスタが否定応答の後に STOP 条件を送るまで続きます。否定応答はこれ以上バイトを送らないようにデバイスに知らせます。

1 レジスタバイトのみを読み出す場合、内部レジスタアドレスは変更されません。それ以外 (マルチレジスタ読み出し) の場合、内部レジスタアドレスは最終バイトを含む各バイトの後にインクリメントまたはデクリメント (セクション 4.2.2) される事があります。内部アドレスが最大値に達すると 0 にロールオーバーします。

予期しない START または STOP 条件をマスタが送った場合、本デバイスは即座に送信を停止し、必要に応じて次のシーケンスに応答します。

図 4-4 に、代表的なシングルおよびマルチレジスタ読み出しを示します。グレーで示すように、アドレスの追加書き込みが最初に発生する事が許されています。この例では、読み出し転送の開始の前の STOP 条件が書き込みシーケンスになく、簡略化されている事に注意します。この場合、STOP 条件はあってもなくてもかまいません。

図 4-4: I<sup>2</sup>C スレーブ読み出し



## 4.2.7 I<sup>2</sup>C スレーブ書き込みシーケンス

本デバイスをアドレス指定した後、マスタがデータバイトを送るとレジスタ値が本デバイスに書き込まれます (セクション 4.2.1 参照)。本デバイスは各バイトを肯定応答します。任意のデータバイトに続いて、肯定応答の後マスタはもう一度 START 条件を送ります。または STOP 条件を使ってシーケンスを停止させます。シングルレジスタ書き込みの後、内部レジスタアドレスは変更されません。

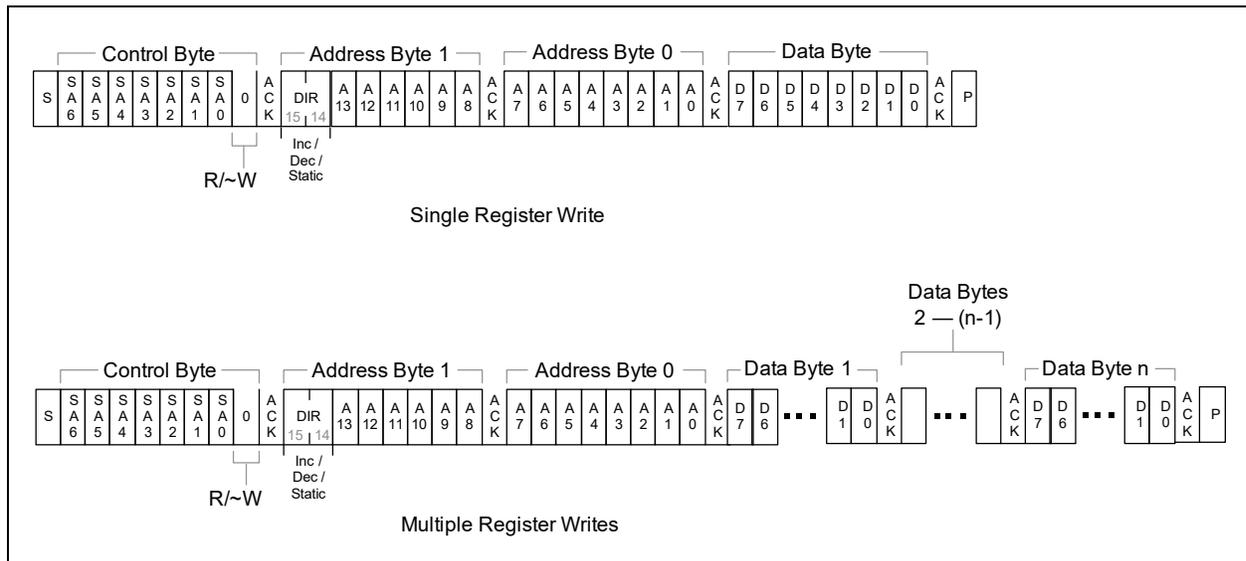
マルチレジスタ書き込みは、マスタが最初のデータバイトの後に追加のデータバイトを送る事で実行されます。内部アドレスは自動的にインクリメントし、次のレジスタが書き込まれます。内部アドレスが最大値に達すると、0 にロールオーバーします。マスタがもう一度 START または STOP 条件を送ると、マルチレジスタ書き込みは終了します。マルチレジスタ書き込みの実行中、内部レジスタアドレスは各書き込みごとに最後までインクリメントまたはデクリ

メント ( [セクション 4.2.2](#) ) される事があります。この内部レジスタアドレスは、新規の START 条件に後続する書き込みには関係しません。その書き込みには新規のレジスタアドレス ( とその DIR サブフィールド ) が含まれているためです。しかし、この内部レジスタアドレスは再設定しない限り全ての後続する読み出しが使うアドレスに影響します。シングルおよびマルチレジスタ書き込みに対して予期しない START または STOP 条件をマスタが送った場合、本デバイスは即座に停止し、必要に応じて次のシーケンスに応答します。

マルチバイト レジスタへのデータ書き込みは、全ビットを入力するまで遅延させる事ができます。レジスタ全体が書き込まれていない場合 ( マスタによる START または STOP 条件の送信が予期せず発生した場合 )、書き込みは無効とみなす事ができレジスタは影響を受けません。1 つのマルチレジスタ書き込みサイクルで複数のレジスタを 1 つずつ順に書き込む事ができます。未使用のレジスタアドレスに I<sup>2</sup>C 書き込みを実行する事はできません。

図 4-5 に、代表的なシングルおよびマルチレジスタ書き込みを示します。

図 4-5: I<sup>2</sup>C スレーブ書き込み



## 4.2.8 特殊な CSR の処理

### 4.2.8.1 ライブビット

レジスタ値は、変化中の値をホストが読み出さないように、各レジスタ読み出しの最初にラッチ ( 登録 ) されます。マルチレジスタ読み出しシーケンスでは、ラッチ動作はレジスタごとに個別に行われます。

### 4.2.8.2 読み出しにより状態が変化するレジスタと FIFO

読み出し動作によって副次的作用 ( 例: 「読み出し時にクリアされる」ビットを含んでいる場合、または FIFO 構造を使っている場合 ) をトリガする全てのシングルバイト レジスタはホストがその値をアクセスし始めた後にのみトリガします。マスタが見る値は常にオリジナルの値であり、副次的作用によって更新された結果ではありません。

1 つのユニットとみなされるマルチバイト レジスタの場合、レジスタの全バイトの読み出しが完了するまで変更を遅延させる事ができます。マルチバイト レジスタの先頭バイトの 1 つにホストが否定応答を送った場合、またはレジスタ全体の肯定応答の前に START または STOP 条件が予期せず発生した場合、その読み出しは無効とみなされ副次的作用はトリガされません。

### 4.2.8.3 読み出しにより状態が変化するライブビット

前述の通り、ライブビットを持つレジスタ ( その他のレジスタも同様 ) の現在値が出力データとしてキャプチャおよびラッチされ、次に読み出しにより状態が変化するビットが元のレジスタ内で変更されます。データキャプチャ後 ( 読み出しによる状態変化の前 ) に起こるハードウェア イベントの喪失を防ぐため、読み出し動作と読み出しによる全ての変化が完了するまでこれらのハードウェア イベントは保留されます。このシーケンスは、ハードウェア イベントのビットのエッジが消失する事も防ぎます。

# UPD350

## 5.0 SPI スレーブ コントローラ (UPD350-B/UPD350-D のみ)

本章では、UPD350-B と UPD350-D が内蔵している SPI スレーブ コントローラ (SPI\_DI、SPI\_DO、SPI\_CLK、SPI\_CS\_N) 説明します。この SPI スレーブ コントローラを、ホスト CPU によるシリアル管理とデータ転送に使うと、デバイスの全てのコンフィグレーションおよびステータス レジスタにホストがアクセスできます。

### 5.1 SPI の概要

SPI スレーブ モジュールは、本デバイスとホストシステムの通信に使う少ピンの同期スレーブ インターフェイスを提供します。SPI スレーブを使うと、システム CSR、内部 FIFO、メモリにアクセスできます。このインターフェイスはシングルレジスタに対する読み書き込みコマンドに加え、同一アドレスまたは自動インクリメント / デクリメントしたアドレスに対するマルチレジスタの読み書きコマンドもサポートしています。最大 25 MHz の SPI モードで、1 つのビットレートのみをサポートしています。

以下に、SPI スレーブの機能の概要を示します。

- **高速読み出し**：4 線式 (クロック、セレクト、データ入力、データ出力) 読み出しです。コマンド、アドレス、データ共にシリアルです。歴史的な理由から「高速」読み出しと呼ばれ、サポートしている唯一の読み出しコマンドです。初回アクセスにダミーバイトが必要です。シングルレジスタの読み出し、および同一アドレスまたは自動インクリメント / デクリメントしたアドレスに対するマルチレジスタの読み出しです。
- **書き込み**：最大 25MHz の 4 線式 (クロック、セレクト、データ入力、データ出力) 書き込みです。コマンド、アドレス、データ共にシリアルです。シングルレジスタの書き込み、および同一アドレスまたは自動インクリメント / デクリメントしたアドレスに対するマルチレジスタの書き込みです。

### 5.2 SPI スレーブの動作

SPI フレームは SPI\_CS\_N の立ち下がりエッジで開始し、SPI\_CS\_N の立ち上がりエッジで終了します。SPI\_CS\_N のエッジで、SPI\_CLK クロックは、マスタの自由選択で Low(モード 0) または High(モード 3) のリセットステートに入る事ができます。

SPI\_CLK 入力クロックの立ち上がりエッジで、SPI\_DI ピン (「MOSI」とも呼ぶ) の入力データがサンプリングされます。クロックの立ち下がりエッジと共に、出力データが SPI\_DO ピン (「MISO」とも呼ぶ) に出力されます。SPI\_CS\_N チップセレクト入力が High の間、SPI\_DI および SPI\_CLK 入力は無視され、SPI\_DO 出力はフローティングになります。

8 ビット命令バイトから始まる各フレームは、マスタによって送信され、SPI\_CS\_N がアクティブになった後の入力クロックの最初の立ち上がりエッジから SPI\_DI で受信されます。

書き込みおよび (高速) 読み出し命令では、命令バイトの後に 2 バイトのアドレスが続きます。このアドレス フィールドはバイトアドレスを表します。14 アドレスビットでアドレスを指定します。残りの 2 ビット [15:14] はアドレス フィールドの DIR サブフィールドを構成し、フレーム内の連続するデータバイトに対してそのアドレスが自動インクリメント (10b) か自動デクリメント (00b) かを示します。特殊な静止アドレス コーディング (11b) はデータフレーム全体にわたってアドレスを固定するため、フレーム内で複数バイトが転送されても 1 バイトのアドレスが繰り返しアクセスされます。01b をエンコードする DIR サブフィールドは予約済みであり、アドレス空間を超えてインクリメントするというソフトウェア エラーの影響を最小限に抑えるために、00b と同様に実装でデコードする必要があります。

高速読み出し命令ではアドレスバイトの後に 1 つのダミーバイトが続きます。ダミーバイトは 8 ビット (1 クロックあたり 1 ビット) を占めます。

命令、アドレス、ダミーバイトサイクルの最中に本デバイスは通常 SPI\_DO を駆動しません。しかし、特殊な事例は [セクション 5.2.2、「電源管理モード中およびモード後のアクセス」](#) (p. 23) を参照してください。

高速読み出し命令では、ダミーバイトの後に 1 つ以上の 8 ビット データフィールドが続きます。書き込み命令では、アドレスバイトの直後に書き込み命令が続きます。

命令内の各バイト (アドレスおよびデータフィールド) は最上位ビット (MSb) から順に転送されます。2 バイトのアドレス フィールドは最上位バイト (MSB) から順に転送されます。マルチバイト データ値は、アドレス フィールド (ビット [15:14]) の DIR サブフィールドで指定した順に転送されます。そうする事で、インクリメント モード (最下位バイトから始まる) またはデクリメント モード (最上位バイトから始まる) を使ってそれらのデータ値の順序を効率的に選択できます。

SPI インターフェイスでコマンドを連続して実行する場合、コマンド同士の間隔を 50 ns 空ける必要があります (SPI\_CS\_N の最小非アクティブ時間 = 50 ns)。

表 5-1 に、SPI スレーブ コントローラがサポートしている命令を示します。サポートされていない命令は予約済みであり、使ってはいけません。

表 5-1: SPI 命令

命令	説明	バスビット幅	命令コード	アドレスバイト数	ダミーバイト数	データバイト数	最大周波数
読み出し							
FASTREAD	読み出し、高速フォーマット	1	0Bh	2	1	1 ~ ∞	25 MHz
書き込み							
WRITE	書き込み	1	02h	2	0	1 ~ ∞	25 MHz

## 5.2.1 デバイス初期化

デバイスが初期化され各種コンフィグレーション入力が有効になるまで SPI インターフェイスは外部ピン動作に応答せず、これらの影響を受ける事はありません。

デバイスの初期化が完了し SPI\_CS\_N の立ち上がりエッジが検出されるまで、SPI インターフェイスはこれらのピンを無視します。

アクティブ サイクル (SPI\_CS\_N が Low) 中にデバイスの初期化が完了した場合、内部レジスタが影響を受ける前に、または SPI インターフェイスのステートが変化する前に、フレームの後端が観察される (SPI\_CS\_N が High に戻る) 必要があります。

デバイス初期化の後の最初の SPI アクセスは常に SPI テストレジスタ (SPI\_TEST) (UPD350-B/UPD350-D のみ) へのダミー読み出しである必要があります。

### 5.2.1.1 SPI スレーブ読み出しによる初期化完了のポーリング

SPI\_DO に外付け弱プルアップ抵抗を接続している場合、デバイスの初期化が完了する前に内部レジスタを読み出そうとすると FFh が返されます。SPI テストレジスタ (SPI\_TEST) (UPD350-B/UPD350-D のみ) が 1 つ以上の「0」ビットを持つ事を確認する事で、デバイスが初期化されたと判断できます。

## 5.2.2 電源管理モード中およびモード後のアクセス

SPI トラフィックによる復帰イベントは特定のデバイスにしか通用せず、同一 SPI バス上にあってもその他のデバイスのステートには影響を与えません。復帰が完了するまで SPI インターフェイスは SPI\_CS\_N Low 時間の期間 SPI\_DO ピンを Low に維持します。

デバイスが復帰するまで、マスタが実行する全ての読み出しアクセスはオール「1」ビットを返したように見えます。デバイスが復帰し、かつ SPI インターフェイスが機能しているかどうかを判断するには、異なるフレームで SPI テストレジスタ (SPI\_TEST) (UPD350-B/UPD350-D のみ) をマスタが繰り返しポーリング (SPI\_CS\_N が Low から High になるのを確認) します。正しい (0 以外の) 値が読み出された場合、インターフェイスは機能しているとみなせます。ポーリングに代わる方法として、デバイスの準備が整った事を示すのに IRQ\_N ピンのアサートを使う事もできます。

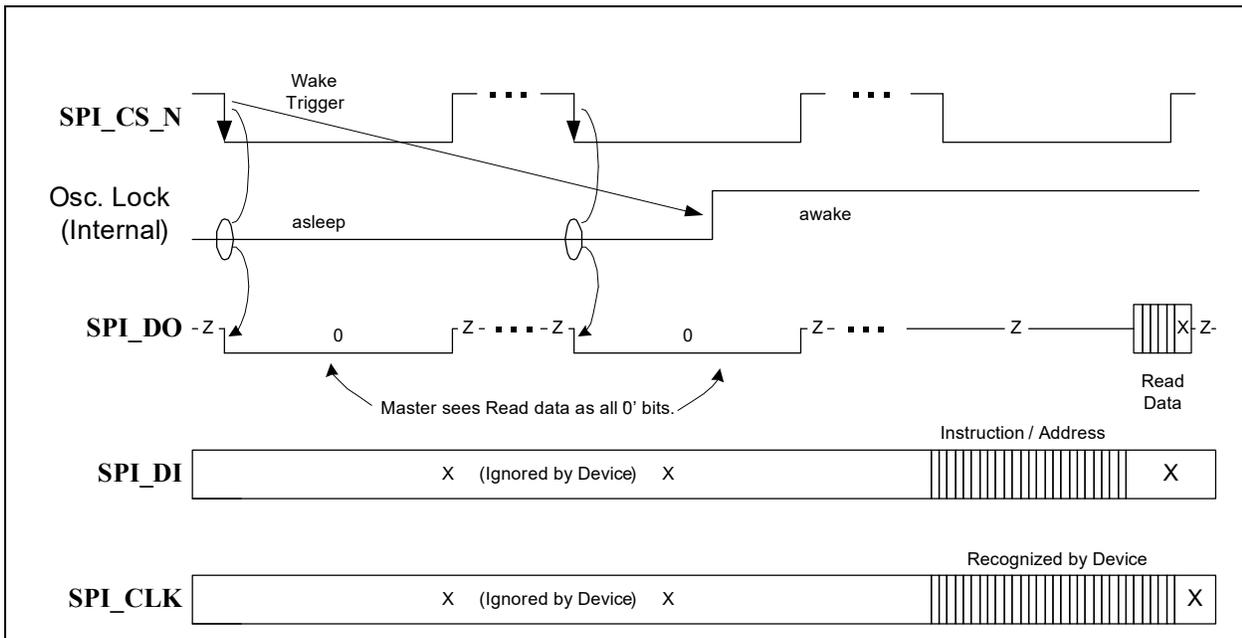
電源管理モードがアクティブに戻ると、SPI\_CS\_N が Low かつ SPI\_DO が Low の状態から SPI\_CS\_N が High になるまで、SPI インターフェイスは SPI\_CLK および SPI\_DI ピンを無視します。SPI\_CS\_N の次の立ち上がりエッジからは SPI 通信は通常通り続きます。

SPI トラフィックを実行した後はいつでも、SPI マスタからのコマンドで明示的に許可されるまで本デバイスは通信を行わない電カステートには戻りません。

# UPD350

図 5-1 に、SPI トラフィックによる復帰のシーケンスを示します。

図 5-1: SPI トラフィックによる電源管理の復帰



## 5.2.3 SPI 読み出しコマンド (高速読み出し)

SPI スレーブは高速読み出しコマンドをサポートしています。1 つのフレーム (SPI\_CS\_N Low) で 1 バイトまたは複数バイトを読み出す事ができます。

高速読み出しは、本デバイスがサポートする読み出しアクセスの唯一の形です。命令は SPI\_DI に命令コード、アドレス、ダミーバイトを入力すると、SPI\_DO にデータを 1 クロックあたり 1 ビット出力します。

最初に SPI\_CS\_N をアクティブにして SPI スレーブ インターフェイスを選択します。次に、8 ビットの FASTREAD 命令 (0Bh) と 2 バイトのアドレス、1 バイトのダミーバイトを順番に SPI\_DI ピンに入力します。このアドレスバイトはデバイス内のバイトレジスタ アドレスを指定します。また、マルチバイト読み出し (以下) の連続バイトに対してアドレスがどのように並んでいるかを指定します。ダミーバイトの内容はドントケアです。

最後のダミービットの立ち上がりエッジの直後の立ち下がりがクロックエッジで、SPI\_DO ピンは選択したレジスタバイトによって MSb から順に駆動されます。その後の立ち下がりがクロックエッジで残りのレジスタビットがシフト出力されます。

SPI\_CS\_N 入力を非アクティブにすると、サイクルが完了します。本デバイスは、それに答えて SPI\_DO ピンをフローティングにします。

### 5.2.3.1 マルチバイト読み出し

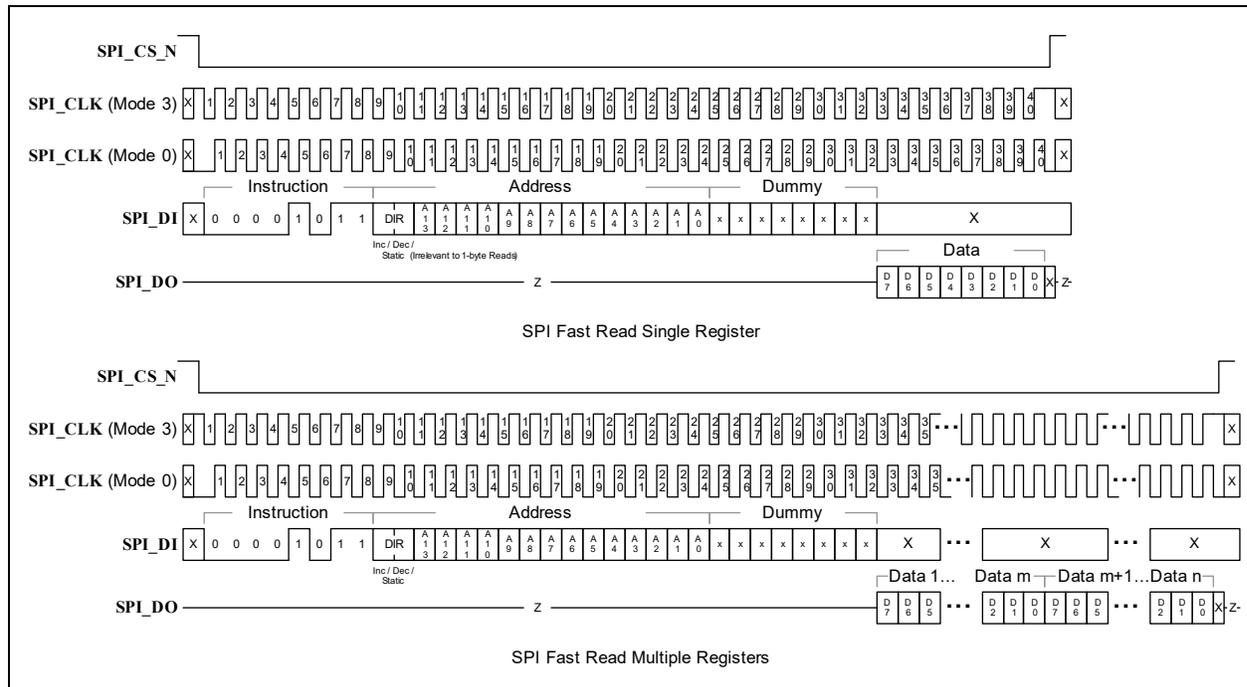
マスタは、1 回目のバイト読み出しを実行後、SPI\_CS\_N をアクティブにしたままクロックパルスを継続すると、2 回目以降のバイト読み出しを実行できます。アドレスの上位 2 ビット [15:14] (DIR サブフィールド) は、連続するバイト読み出しに対して自動インクリメント (DIR = 00b)、自動デクリメント (DIR = 10b)、静止 (固定) (DIR = 11b) のいずれかを指定します。内部アドレスの固定は、マスタがそれをサポートしている場合、FIFO の読み出し / 書き込みまたは下位レジスタの 1 フレーム内でのポーリングに使います。

現在の 1 バイト出力シフトの終了の直前に、DIR 指定に該当すればアドレスはインクリメントまたはデクリメントされます。そして、次の同期取り込みシーケンスが実行されます。

## 5.2.3.2 高速読み出し (FASTREAD)

図 5-2 に、SPI モードでの代表的なシングルおよびマルチレジスタ高速読み出しを示します。

図 5-2: SPI 高速読み出し (FASTREAD)



## 5.2.4 SPI 書き込みコマンド

SPI スレーブ コントローラは以下の書き込みコマンドをサポートしています。

- 書き込み
- 複数の書き込み

### 5.2.4.1 書き込み

**書き込み** 命令は命令コード、アドレス、データバイトを SPI\_DI ピンに 1 クロックあたり 1 ビット入力します。

マスタが最初に SPI\_CS\_N をアクティブに駆動する事で SPI 転送が開始します。次に、8 ビットの **WRITE** 命令 (02h) と 2 バイトのアドレスを順番に SPI\_DI ピンに入力します。アドレスバイトはデバイス内のバイトアドレスと方向制御サブフィールド (DIR) を指定します。

SPI\_DI ピンのアドレスバイトの直後に、最初のバイトの MSb から順にデータが続きます。本デバイスは、後続の各立ち上がりクロックエッジで SPI\_DI ピンからデータをシフト入力します。

### 5.2.4.2 複数の書き込み

複数の書き込みは、SPI\_CS\_N がアクティブな間マスタがクロックパルスと SPI\_DI データを継続する事で実行します。アドレスの上位 2 ビット [15:14] は DIR サブフィールドを構成しており、自動インクリメント (DIR = 00b)、自動デクリメント (DIR = 10b)、静止アドレス指定のいずれかを指定します。内部バイトアドレスをインクリメントまたはデクリメントするか、そのまま維持する (静止) かは、これらのビットに基づいて決定します。内部アドレスの固定は FIFO アクセス、レジスタの「ビットバンギング」、その他の繰り返し動作に使います。

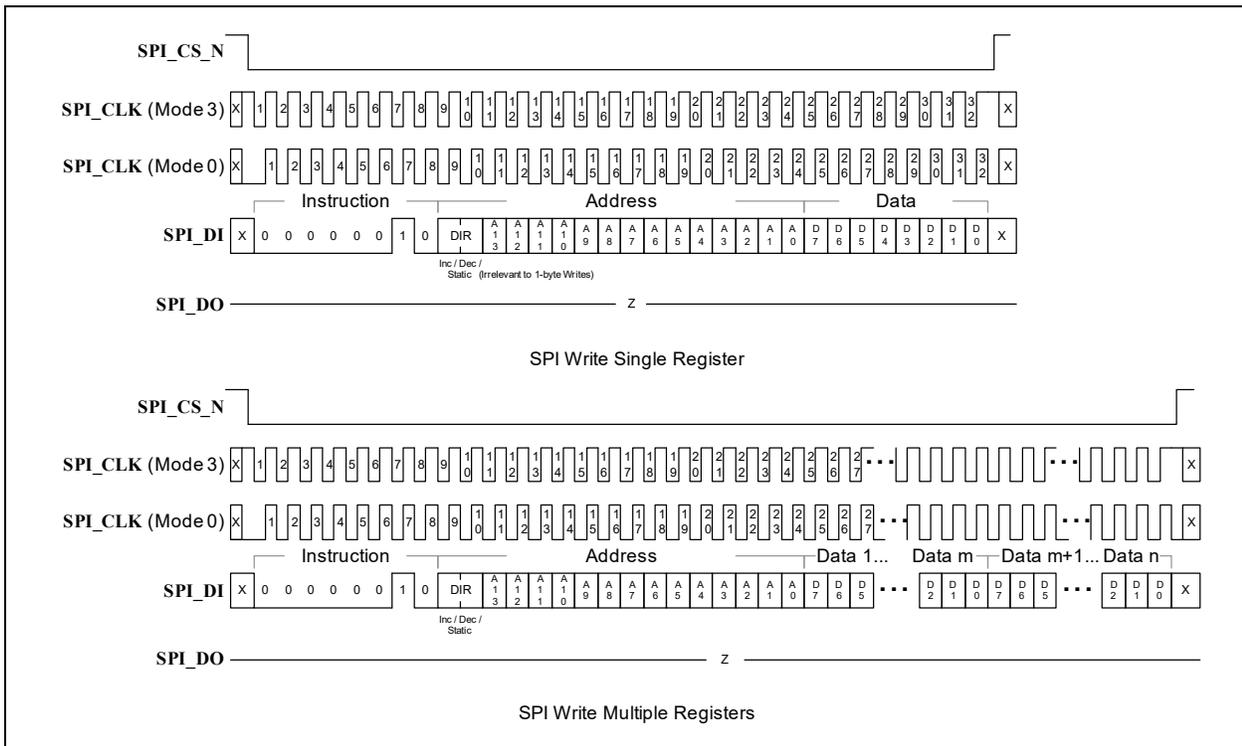
レジスタへのデータ書き込みはレジスタ内容全体を入力した後に実行されます (レジスタの定義サイズの影響を受けます)。レジスタ内容全体を書き込む前に SPI\_CS\_N が High に戻った場合、その書き込みは無効とみなされ、レジスタは影響を受けません。

次に SPI\_CS\_N 入力を非アクティブにするとサイクルが完了します。

# UPD350

図 5-3 に、代表的な SPI シングルおよびマルチレジスタ書き込みを示します。

図 5-3: SPI 書き込み (WRITE)



## 5.2.5 特殊な CSR の処理

### 5.2.5.1 ライブビット

レジスタ値は、変化中の値をホストが読み出さないように、各レジスタ読み出しの最初にラッチ (登録) されます。マルチレジスタ読み出しシーケンスでは、ラッチ動作はレジスタごとに個別に行われます。

### 5.2.5.2 読み出しにより状態が変化するレジスタと FIFO

読み出し動作によって副次的作用 (例: 「読み出し時にクリアされる」ビットを含んでいる場合、または FIFO 構造を使っている場合) をトリガする全てのシングルバイト レジスタは、ホストがその値をアクセスし始めた後のみトリガします。マスタが見る値は常にオリジナルの値であり、副次的作用によって更新された結果ではありません。

1つのユニットとみなされるマルチバイト レジスタの場合、レジスタの全バイトの読み出しが完了するまで変更を遅延させる事ができます。マルチバイト レジスタの先頭バイトの1つにホストが否定応答を送った場合、またはレジスタ全体の肯定応答の前に START または STOP 条件が予期せず発生した場合、その読み出しは無効とみなされ副次的作用はトリガされません。

マルチレジスタ読み出しのアクセスで読み出したレジスタは、読み出ししている時に発生する複数の副次的作用をトリガします。

### 5.2.5.3 読み出しにより状態が変化するライブビット

前述の通り、ライブビットを持つレジスタ (その他のレジスタも同様) の現在の値が出力データとしてキャプチャおよびラッチされ、次に、読み出しにより状態が変化するビットが元のレジスタ内で変更されます。データキャプチャ後 (読み出しによる状態変化の前) に起こるハードウェア イベントの喪失を防ぐため、読み出し動作と読み出しによる全ての変化が完了するまでこれらのハードウェア イベントは保留されます。このシーケンスは、ハードウェア イベントのビットのエッジが欠ける事も防ぎます。

## 6.0 クロック、リセット、電源管理

このセクションではデバイスの各種クロック、リセット、電源管理ステートを説明します。

### 6.1 クロック

本デバイスは以下の内部クロックを生成します。

- 48 MHz 弛緩オシレータ
- 20 kHz 接続保持オシレータ
- リングオシレータ

これらのオシレータはソフトウェアで有効 / 無効にできます。

### 6.2 電力ステート

本デバイスは以下の電力ステートをサポートしています ( 詳細は各サブセクションを参照 ) 。

- スリープ
- ハイバネート
- スタンバイ
- アイドル ( アタッチ時、FRS 有効 )
- アイドル ( アタッチ時、FRS 無効 )
- アクティブ

#### 6.2.1 スリープ

これは、デバイスの最低消費電力ステートです。スリープステートへは **PWR\_DN** ピンのアサートで移行します。このモードでは、**PWR\_DN** のネゲートを検出するための 3.3 V ドメインの最小限の回路を残して、実質的にデバイス全体の電力供給が OFF になります。

このモードは、バッテリー駆動アプリケーションでデバイスが使われていない時の消費電力を最小限に抑える事を意図しています。これらのアプリケーションで、ボタン押下等の復帰イベントをトリガにしてホスト CPU に **PWR\_DN** をネゲートさせる事ができます。

#### 6.2.2 ハイバネート

このステートでは、ポートは USB PD ファームウェアによって無効になり、**PWR\_DN** ピンは Low になります。CC の終端がハイ インピーダンス状態になるため、接続検出は無効になります。

#### 6.2.3 スタンバイ

スタンバイは、デバイスが機能する最低消費電力ステートです。このステートではデバイスの大部分への電力供給が OFF になります。内部 CC コンパレータと 20 kHz オシレータは、必要なアナログ部品 ( 例 : 1.8 V LDO、POR、バイアス回路 ) と共に有効です。

CC ラインではアタッチ条件が常に監視されており、アタッチ条件が検出されるとホストへの割り込みがアサートされます。アタッチされた場合、このステートではパートナーのアドバタイズの変化とデタッチを検出できます。

スタンバイは、UPD350 が USB Type-C の Unattached.SRC/SNK に移行する電力ステートです。

#### 6.2.4 アイドル ( アタッチ時、FRS 有効 )

このステートは USB Type-C デバイスが接続されており、かつ USB PD バスがアイドル ( 送信中の USB パケットがない状態 ) です。CC 信号はパケットの送信があるかどうか常に監視されており、ファスト ロールスワップ ( FRS ) 信号検出は有効です。

#### 6.2.5 アイドル ( アタッチ時、FRS 無効 )

このステートは USB Type-C デバイスが接続されており、かつ USB PD バスがアイドル ( 送信中の USB パケットがない状態 ) です。CC 信号はパケットの送信があるかどうか常に監視されており、ファスト ロールスワップ ( FRS ) 信号検出は無効です。

# UPD350

## 6.2.6 アクティブ

このステートはアタッチ発生後のデバイスの状態です。このステートでは Power Delivery 通信をサポートしています。このステートは 48 MHz 弛緩オシレータを有効にする必要がある条件 ( マイクロ秒レンジで GPIO をデバウンスする必要がある場合等 ) でも使えます。

Power Delivery パケットを送信する場合、5 mA が余分に消費される事があります。消費電力の増加は OCS コンパレータ、VBUS コンパレータ、その他のモジュールの有効化によるものです。VCONN FET を ON にした場合、消費電力が 70 mW 増加します。

## 6.3 I<sup>2</sup>C による非同期の復帰 (UPD350-A/UPD350-C のみ)

本デバイスは I<sup>2</sup>C スレーブ インターフェイスによる非同期の復帰をサポートしています。クロック ストレッチを行う事で復帰要となった I<sup>2</sup>C トランザクションの喪失を防ぐ事ができ、ホストがトランザクションを反復する必要はありません。本デバイスは 3  $\mu$ s を超えるクロック ストレッチは行いません。

以下の手順は I<sup>2</sup>C 復帰機能を示します。最初はリングオシレータと 48 MHz オシレータは無効です。

1. ホストが本デバイスへの I<sup>2</sup>C トランザクションを開始する。
2. 本デバイスが START ビットの受信を非同期で検出すると、ホストが SCL を Low に駆動した後 I2C\_CLK をプルダウンしてクロック ストレッチを有効にする。リングオシレータは非同期で有効になり、電源管理ロジックのクロック源として使われる。
3. 約 5  $\mu$ s の遅延後オシレータは安定化し、I<sup>2</sup>C コントローラにクロック信号を供給する。
4. クロック ストレッチが無効になり、I<sup>2</sup>C コントローラが有効になって保留中のトランザクションの処理を開始する。
5. I<sup>2</sup>C トランザクションが完了する。
6. ホストは、保留中のトランザクションがあるかどうかを確認するために本デバイスのステータスをチェックする (I<sup>2</sup>C トランザクションが PD トランザクションを開始していた可能性があります。または逆に、同時に起こった PD トランザクションが受信中等である可能性があります)。
7. 保留中のトランザクションを本デバイスが持っていない事をホストが確認した後、リングオシレータと 48 MHz 弛緩オシレータを無効にする事でホストは本デバイスをパワーダウン モードに移行させる。
8. 本デバイスが将来の非同期 I<sup>2</sup>C 復帰イベントを受信できるようになる。

## 6.4 SPI による非同期の復帰 (UPD350-B/UPD350-D のみ)

UPD350 は SPI インターフェイスによる非同期の復帰をサポートしています。本デバイスの SPI プロトコルは、SPI トランザクションを反復する必要がないように定義されています。

以下の手順は SPI 復帰機能を示します。最初は、リングオシレータと 48 MHz オシレータは無効です。

1. 本デバイスをパワーダウン モードに移行させる。
2. ホストは、SPI テストレジスタ (SPI\_TEST) (UPD350-B/UPD350-D のみ) への SPI トランザクションを開始する (デバイスが動作している場合、このレジスタは 0 以外の値を返します)。本デバイスはパワーダウン中、SPI\_DO を Low に駆動している。
3. 本デバイスが SPI メッセージの受信を検出する。リングオシレータは非同期的に有効になり、電源管理ロジックのクロック源として使われる。
4. 約 5  $\mu$ s の遅延後オシレータは安定化し、SPI コントローラにクロック信号を供給する。
5. 本デバイスは次に受信した SPI トランザクションを処理する。
6. SPI トランザクションが完了する。
7. ホストは、保留中のトランザクションがあるかどうかを確認するために、本デバイスのステータスをチェックする (SPI トランザクションが PD トランザクションを開始していた可能性があります。または逆に、同時に起こった PD トランザクションが受信中等である可能性があります)。
8. 保留中のトランザクションを本デバイスが持っていない事をホストが確認した後、リングオシレータと 48 MHz 弛緩オシレータを無効にする事でホストは本デバイスをパワーダウン モードに移行させる。
9. 本デバイスは SPI\_DO を 'L' に駆動し、非同期 SPI 復帰イベントを待機する。

## 6.5 Power Delivery MAC の復帰

PD MAC は、PD パケットを受信すると非同期で復帰できます。これにより本デバイスをスタンバイモード移行させ、消費電力を最小限に抑える事ができます。

以下の手順は RX PD MAC 復帰機能を示します。最初は、リングオシレータと 48 MHz 弛緩オシレータは無効です。20 kHz 接続保持オシレータは有効ですが、この復帰プロセスでは使いません。

1. PD メッセージを受信するため RX AFE をソフトウェアで有効にし、トリップポイントを設定する。
2. PD MAC をソフトウェアで設定し有効にする。
3. 本デバイスをパワーダウン モードに移行させる。48 MHz 弛緩オシレータ ( と有効な場合リングオシレータ ) をソフトウェアで無効にする。
4. 一定時間経過後、アタッチしたパートナーから本デバイスが PD メッセージを受信する。
5. PD MAC は、CC ライン上で非同期的にプリアンプ アクティビティを検出すると 48 MHz 弛緩オシレータを有効にする。
6. このオシレータは約 5  $\mu$ s 以内に動作可能になり、その時点で PD MAC が動作可能になる。
7. PD MAC はプリアンプの残りを受信し RX FIFO にメッセージを保存する。そして、必要に応じて PD プロトコルに従い GoodCRC で応答する。
8. **IRQ\_N** ピンのアサートによって割り込みが発行される。
9. ソフトウェアは I<sup>2</sup>C 経由で割り込みを処理し、PD メッセージを読み出し、必要に応じて応答する。
10. 次に、本デバイスをパワーダウン モードに移行させる。48 MHz 弛緩オシレータとリングオシレータをソフトウェアで無効にする。
11. 本デバイスは、次の PD メッセージを受信されるまでパワーダウン モードにとどまる。

## 6.6 スタンバイからの割り込みのアサート

ソフトウェアで適切に設定すれば、本デバイスはスタンバイ中も多数のイベントを検出し、これらのイベントをトリガとして **IRQ\_N** ピンをアサートできます。これらのイベントを検出するロジックは 20 kHz 接続保持オシレータで動作します。

**IRQ\_N** をアサートするように設定されたイベントが発生すると、48 MHz 弛緩オシレータとリングオシレータが有効になります。同期後、**IRQ\_N** ピンがアサートされます。

ソフトウェアはソースの割り込みを処理した後、48 MHz 弛緩オシレータとリングオシレータを無効にし、本デバイスをスタンバイに戻す必要があります。

以下のシーケンス例に、スタンバイ中に **OCS\_COMP1** ピンで OCS イベントを検出するためのデバイスの設定手順を示します。

1. OCS コンペア割り込みをソフトウェアで有効にする。
2. OCS 検出 ( [セクション 7.2](#)、[「外部過電流検出」](#) 参照 ) をソフトウェアで有効にし、**OCS\_COMP1** ピンをサンプリングする。
3. 48 MHz 弛緩オシレータと 1 MHz リングオシレータをソフトウェアで無効にする。
4. OCS イベントが発生し、**OCS\_COMP1** ピンで検出される。
5. リングオシレータが有効になり、本デバイスの動作クロックとして使われる。
6. 本デバイスは 48 MHz オシレータを有効にし、オシレータが安定化するまで約 5  $\mu$ s 待機する。
7. 48 MHz オシレータが安定化する。
8. 同期後、**IRQ\_N** ピンがアサートされる。
9. ソフトウェアは **IRQ\_N** のアサートを検出し、割り込みを処理する。
10. 48 MHz 弛緩オシレータとリングオシレータをソフトウェアで無効にする。

# UPD350

---

## 6.7 リセット動作

本デバイスは以下のチップレベル リセットをサポートしています。

- パワーオン リセット (POR)
- ピンリセット (RESET\_N)
- ソフトウェア リセット (ハードウェア制御レジスタ (HW\_CTL) の SRESET ビット)
- ウォッチドッグ タイマ (WDT\_STS)

チップレベル リセットは CFG\_SEL コンフィグレーション ストラップのサンプリングをトリガします (詳細は[セクション 8.9.1、「コンフィグレーション選択」](#) (p. 43) 参照)。チップレベル リセットの完了は、割り込みイネーブルレジスタ (INT\_EN) の RDY\_INT ビットのアサートと IRQ\_N ピンのアサートで判断できます。

以下は、チップレベル リセットの後に発生する手順のまとめです。

1. システムレベルのリセットイベント (POR、RESET\_N、SRESET、WDT\_STS) が発生する。
2. 本デバイスが 20 kHz 接続保持オシレータ、48 MHz 弛緩オシレータ、1 MHz リングオシレータを有効にする。
3. 本デバイスが CFG\_SEL ピンをサンプリングする。
4. 本デバイスが CFG\_SEL ピンと設定に従って自身を設定する。
5. 本デバイスが有効になり、割り込みイネーブル レジスタ (INT\_EN) の RDY\_INT ビットがアサートされ、IRQ\_N ピンがアサートされる。
6. 本デバイスが 48 MHz 弛緩オシレータとリングオシレータを無効にする。

## 7.0 システム制御

本セクションでは以下のシステム制御を説明します。

- 汎用 I/O
- 外部過電流検出
- システム制御レジスタ

### 7.1 汎用 I/O

UPD350 の重要な機能の 1 つは、最大 10 本の PIO を介して外部デバイスを管理する事です。通常はホストの PIO ソフトウェア プログラミングによってこれを実行します。

場合によっては UPD350 が、エラー条件に応じて PIO のステートをオーバーライドする必要があります。このような動作を可能にする機能が設計に組み込まれています。このような機能は、PIO ステートを制御するソフトウェアではレイテンシが長過ぎる場合、または確定的でない場合に必要です。

**Note:** UPD350-B/UPD350-D では GPIO0 と GPIO1 は使えません。

**Note:** スタンドアロン UFP モード (UPD350-A/UPD350-C のみ) では、特定の GPIO が代替の専用機能を備えています (セクション 3.1.1.1、「UPD350-A/UPD350-C の GPIO 機能 (スタンドアロン UFP モード)」(p. 10) 参照)。

### 7.2 外部過電流検出

本デバイスは過電流条件検出用のアナログ コンパレータと DAC 回路を内蔵しています。この機能は OCS\_COMP1 および / または OCS\_COMP2 ピンを介してサポートしています。

### 7.3 汎用タイマ

本デバイスは低消費電力汎用タイマを内蔵しています。このタイマは 20 kHz オシレータで動作し、16 ビットワンショットダウンカウンタを実装しています。このタイマは、アンダーフローすると割り込みをアサートしカウントを停止します。

### 7.4 システム制御レジスタ

本セクションではシステム制御レジスタを説明します。

表 7-1: システム制御レジスタマップ

アドレス	レジスタ名 (記号)
0000h	デバイス ID レジスタ (ID_REV)
0004h	USB ベンダー ID レジスタ (VID)
0006h	USB 製品 ID レジスタ (PID)
0008h	USB PD リビジョン レジスタ (PD_REV)
000Ah	USB Type-C リビジョン レジスタ (C_REV)
000Bh ~ 000Dh	将来の拡張のために予約済み
000Eh	SPI テストレジスタ (SPI_TEST) (UPD350-B/UPD350-D のみ)
001Ah	I <sup>2</sup> C スレーブアドレス レジスタ (I2C_ADDR) (UPD350-A/UPD350-C のみ)

**Note:** 予約済みのアドレス空間にはいかなる場合も書き込んではいけません。望ましくない動作と予期せぬ結果をもたらす恐れがあります。

# UPD350

## 7.4.1 デバイス ID レジスタ (ID\_REV)

アドレス: 0000h サイズ: 32 ビット

ビット	説明	タイプ	既定値
31:16	デバイス ID (ID)	RO	Note 7-1
15:0	デバイス リビジョン (REV)	RO	Note 7-2

**Note 7-1** このフィールドの既定値はデバイス バージョンで異なります。  
UPD350-A: 0350h  
UPD350-B: 0351h  
UPD350-C: 0352h  
UPD350-D: 0353h

**Note 7-2** このフィールドの既定値はデバイスのシリコン リビジョンで異なります。

ID\_REV[7:0] = 00h  
ID\_REV[15:8] = 01h  
ID\_REV[23:16] = 02h  
ID\_REV[31:24] = 03h

## 7.4.2 USB ベンダー ID レジスタ (VID)

アドレス: 0004h サイズ: 16 ビット

ビット	説明	タイプ	既定値
15:0	USB ベンダー ID (VID)	R/W	0424h

VID[7:0] = 04h  
VID[15:8] = 05h

## 7.4.3 USB 製品 ID レジスタ (PID)

アドレス: 0006h サイズ: 16 ビット

ビット	説明	タイプ	既定値
15:0	USB 製品 ID (PID)	R/W	0350h

PID[7:0] = 06h  
PID[15:8] = 07h

## 7.4.4 USB PD リビジョン レジスタ (PD\_REV)

アドレス: 0008h      サイズ: 16 ビット

ビット	説明	タイプ	既定値
15:0	USB Power Delivery 仕様リビジョン (PD_REV)	R/W	Note 7-3

**Note 7-3** このフィールドの既定値はそれぞれの OTP フィールドから読み込まれます。OTP が無効の場合、既定値は 3010h です。

PD\_REV[7:0] = 08h

PD\_REV[15:8] = 09h

## 7.4.5 USB Type-C リビジョン レジスタ (C\_REV)

アドレス: 000Ah      サイズ: 16 ビット

ビット	説明	タイプ	既定値
15:0	USB Type-C 仕様リビジョン (C_REV)	R/W	Note 7-4

**Note 7-4** このフィールドの既定値はそれぞれの OTP フィールドから読み込まれます。OTP が無効の場合、既定値は 12h です。

C\_REV[7:0] = 0Ah

C\_REV[15:8] = 0Bh

## 7.4.6 SPI テストレジスタ (SPI\_TEST) (UPD350-B/UPD350-D のみ)

アドレス: 000Eh      サイズ: 8 ビット

ビット	説明	タイプ	既定値
7:0	<b>SPI テスト (SPI_TEST)</b> このレジスタは、SPI インターフェイスを介して本デバイスを復帰させる際、本デバイスがパワーダウンから復帰した事をホストが判断するのに使います。	RO	02h

# UPD350

## 7.4.7 I<sup>2</sup>C スレーブアドレス レジスタ (I2C\_ADDR) (UPD350-A/UPD350-C のみ)

アドレス: 001Ah      サイズ: 8 ビット

ビット	説明	タイプ	既定値
7	予約済み	RO	-
6:0	I <sup>2</sup> C スレーブアドレス I <sup>2</sup> C コントローラが使うスレーブアドレスを定義します。	R/W	Note 7-5

**Note 7-5** このレジスタの既定値は、OTPのI2C\_ADR\_OVR\_ENビットがセットされている場合を除きCFG\_SELピンで定義されます。I2C\_ADR\_OVR\_EN ビットがセットされている場合、I2C\_ADDR\_OVR[6:0] で指定した OTP 値がこのレジスタに読み込まれます。

## 8.0 ケーブルプラグの方向判定と検出

本セクションでは CC ピンの制御と監視、VBUS\_DET ピンの制御、VCONN FET の制御、CFG\_SEL ピンのサンプリングの各機能を説明します。

### 8.1 CC コンパレータ

本デバイスは Type-C アタッチおよびデータ機能を実装するためにコンパレータと DAC 回路を内蔵しています。本デバイスは UFP と DFP の間の接続検出のための最大 8 つの設定可能なしきい値をサポートしています。UFP として動作している場合、本デバイスは電流供給能力を決定するために DFP がアダプタイズするしきい値変更の検出をサポートしています。CC コンパレータが検出するしきい値の既定値 (公称値) を以下に示します。

- 0.20 V
- 0.40 V
- 0.66 V
- 0.80 V
- 1.23 V
- 1.60 V
- 2.60 V
- 3.0 V 独自モード

表 8-1: ケーブル検出のまとめ

パラメータ	しきい値 CSR	説明	Min.	Typ.	Max.
DFP_ACT_DEF	CC_THR0	既定値の USB 電流をアダプタイズする DFP として設定されている場合、アクティブケーブルを検出します。		0.20 V	
UFP_DFP_DEF	CC_THR0	UFP として設定されており DFP が既定値の USB 電流をアダプタイズしている場合、DFP アタッチを検出します。		0.20 V	
DFP_ACT_1A5	CC_THR1	1.5 A をアダプタイズする DFP として設定されている場合、アクティブケーブルを検出します。		0.40 V	
UFP_DFP_1A5	CC_THR2	UFP として設定されており DFP が 1.5 A をアダプタイズしている場合、DFP アタッチを検出します。		0.66 V	
DFP_ACT_3A0	CC_THR3	3.0 A をアダプタイズする DFP として設定されている場合、アクティブケーブルを検出します。		0.80 V	
UFP_DFP_3A0	CC_THR4	UFP として設定されており DFP が 3.0 A をアダプタイズしている場合、DFP アタッチを検出します。		1.23 V	
DFP_UFP_DEF	CC_THR5	既定値の USB 電流をアダプタイズする DFP として設定されている場合、UFP アタッチを検出します。		1.60 V	
DFP_UFP_1A5	CC_THR5	1.5 A をアダプタイズする DFP として設定されている場合、UFP アタッチを検出します。		1.60 V	
DFP_UFP_3A0	CC_THR6	3.0 A をアダプタイズする DFP として設定されている場合、UFP アタッチを検出します。		2.60 V	

# UPD350

下表に、各種構成に対して CCx 一致レジスタ (CCx\_MATCH) で一致すべきしきい値をまとめます。

表 8-2: DFP CC 一致のまとめ

CC の状態	CC THR0	CC THR1	CC THR2	CC THR3	CC THR4	CC THR5	CC THR6	CC THR7
既定値の USB 電流をアダプタイズしており、給電ケーブルに接続している。	0	0	0	0	0	0	0	0
1.5 A をアダプタイズしており、給電ケーブルに接続している。	0	0	0	0	0	0	0	0
3.0 A をアダプタイズしており、給電ケーブルに接続している。	0	0	0	0	0	0	0	0
既定値の USB 電流をアダプタイズしており、UFP に接続している。	1	0	0	0	0	0	0	0
1.5 A をアダプタイズしており、UFP に接続している。	0	1	0	0	0	0	0	0
3.0 A をアダプタイズしており、UFP に接続している。	0	0	0	1	0	0	0	0
既定値の USB 電流をアダプタイズしており、未接続 (vOpen) である。	1	0	0	0	0	1	0	0
1.5 A をアダプタイズしており、未接続 (vOpen) である。	0	1	0	0	0	1	0	0
3.0 A をアダプタイズしており、未接続 (vOpen) である。	0	0	0	1	0	0	1	0
独自モードであり、未接続 (vOpen) である。	0	0	0	0	0	0	0	1

表 8-3: UFP CC 一致のまとめ

CC の状態	CC THR0	CC THR1	CC THR2	CC THR3	CC THR4	CC THR5	CC THR6	CC THR7
給電ケーブルを検出した。	0	0	0	0	0	0	0	0
未接続 (SNK.Open) である。	0	0	0	0	0	0	0	0
既定値の USB 電流をアダプタイズする DFP に接続している。	1	0	0	0	0	0	0	0
1.5 A をアダプタイズする DFP に接続している。	1	0	1	0	0	0	0	0
3.0 A をアダプタイズする DFP に接続している。	1	0	1	0	1	0	0	0
独自の電流をアダプタイズする DFP に接続している。	1	0	1	0	1	0	0	1

## 8.2 DFP 動作

本デバイスは、DFP として動作する場合の両方の CC ピンの充電電流能力をアドバタイズするために電流源を実装しています。

UFP 接続が確立している場合、CC ピン間に電流を流す事で UFP の Rd プルダウン抵抗両端に電圧を生じさせ、その電圧を内蔵 CC コンパレータで検出できます。表 8-4 に、監視する電圧をまとめます。アクティブケーブルに接続している場合、別のプルダウン (Ra) が CC ピンに接続されます。

DFP は、VCONN 機能を実装するために 2 つの 5 V FET も内蔵しています。詳細は[セクション 8.8、「VCONN 動作」](#)で説明します。

表 8-4: ソース検出

CC1	CC2	接続の状態	CC コンパレータの状態	VBUS	VCONN
Open	Open	何も接続されていない。	アタッチがあるかどうか両方の CC ピンを監視している。	OFF	OFF
Rd	Open	UFP が接続されている。	デタッチがあるかどうか CC1 を監視している。	ON	OFF
Open	Rd	UFP が接続されている。	デタッチがあるかどうか CC2 を監視している。	ON	OFF
Ra	Open	給電ケーブルが接続されている (UFP は未接続)。	UFP のアタッチがあるかどうか CC2 を監視している。 ケーブルのデタッチがあるかどうか CC1 を監視している。	OFF	OFF
Open	Ra	給電ケーブルが接続されている (UFP は未接続)。	UFP のアタッチがあるかどうか CC1 を監視している。 ケーブルのデタッチがあるかどうか CC2 を監視している。	OFF	OFF
Ra	Rd	給電ケーブルと UFP が接続されている。	UFP のデタッチがあるかどうか CC2 を監視している。 デタッチについて CC1 を監視していない。	ON	ON
Rd	Ra	給電ケーブルと UFP が接続されている。	UFP のデタッチがあるかどうか CC1 を監視している。 デタッチについて CC2 を監視していない。	ON	ON
Rd	Rd	デバッグ アクセサリモードが接続されている。	デタッチがあるかどうか両方の CC ピンを監視している。	OFF	OFF
Ra	Ra	オーディオ アクセサリモードが接続されている。	デタッチがあるかどうか両方の CC ピンを監視している。	OFF	OFF

### 8.2.1 Rp 電流源

内蔵ポートパワー コントローラまたは外部電源回路を介したデバイスの充電電流能力をアドバタイズするため、Rp 電流源を使います。この電流源はソフトウェアで選択できます。表 8-5 に、電流源がサポートする電流値と設定値の一覧を示します。

表 8-5: Rp 電流源

DFP アドバタイズ	電流源 (1.7 ~ 5.5 V)	RPx 値
無効		00b
既定値の USB 電源	80 $\mu$ A +/-20%	01b
1.5 A @ 5 V	180 $\mu$ A +/-8%	10b
3.0 A @ 5 V	330 $\mu$ A +/-8%	11b

RP 値のアドバタイズのための電流源と CC ピンの組み合わせは CFG\_SEL ピンのサンプリングにも使います。CFG\_SEL ピンをサンプリングすると電流は CC ピンに流れなくなり、RP 値がアドバタイズされなくなります。

# UPD350

## 8.3 UFP 動作

UFP として動作する場合、本デバイスは、VBUS のアサート以降両 CC ラインで Rd プルダウンを有効にし、DFP が接続されるまで待機します。CC コンパレータは、DFP がサポートするアダプタイズされた充電電流能力の判定に使用します。

## 8.4 DRP 動作 (レガシー)

この構成では、ソフトウェアは本デバイスを使って USB Type-C 仕様で定義された tDRP の間隔でソースとシンクを交互にアダプタイズします。

## 8.5 DRP オフロード

DRP オフロードを使うと、本デバイスは DRP トグルを管理できます。この方法では、接続が検出されるまでホスト CPU が低消費電力状態にとどまる事ができるため便利です。

DRP オフロードは、Rp 電流源と Rd プルダウンの有効化を tDRP (DRP 時間レジスタ) の周期で交互に行う事でソースとシンクのアダプタイズを交互に切り換えます。ソースとシンクのアダプタイズのデューティ サイクルは、DRP デューティ サイクルレジスタで決まります。DRP 時間レジスタは、ファームウェアで書き込む事も擬似乱数生成器で自動的に生成する事もできます。後者の方法は、接続時のコリジョン (衝突) の可能性を低減させるために使います。DRP サイクルが最初に UFP をアダプタイズするか、DFP をアダプタイズするかは選択可能です。

マッチデバウンス レジスタで定義された期間のデバウンスが成功した後、接続が検出されます。DFP の場合、VBUS が vSafe0v 未満である事を確認します。その結果 **IRQ\_N** がアサートされ、DRP トグルが無効になります。ファームウェアは、有効な一致が存在しているかどうかを判断する前に tPDDebounce の期間さらにデバウンスする必要があります。一致が発生していない場合、ファームウェアは DRP を再度有効にします。

LFSR によって実装した擬似乱数生成器は、DRP 期間を生成するために使います。LFSR が有効な場合、20 kHz クロックで動作し 100  $\mu$ s ごとに更新します。

USB Type-C 仕様に準拠するように、ハードウェアは総 DRP 期間を 50 ~ 100 ms に制限しています。

## 8.6 コリジョン回避

USB PD 仕様 (バージョン 3.0) で導入されたコリジョン検出用のソフトウェアを CC 検出回路に簡単に実装するには別の動作モードが必要です。

シンクから送られた非同期のメッセージ (AMS) によるメッセージ衝突を避けるため、ソースは Rp を SinkTxOk (3 A @ 5 V) に設定して、AMS を開始できる事をシンクに示します。ソースが AMS 開始を希望している場合、ソースは Rp を SinkTxNG (1.5 A @ 5 V) に設定します。Rp が SinkTxOk に設定されている事をシンクが検出した場合、シンクは AMS を開始できます。Rp が SinkTxNG に設定されている事をシンクが検出した場合、シンクは AMS を開始せずソースが開始した AMS の一部であるメッセージのみを送信します。

シンクとして動作する場合、SinkTxNG と SinkTxOk のどちらをソースが Rp でアダプタイズしているかを素早く判断する仕組みが必要です。

本デバイスはコリジョン回避機能用に、ソフトウェアにて 1 つの CC ピンに 1 つのしきい値サンプリングを設定できます。この機能により、わずか 100  $\mu$ s で両方のしきい値をサンプリングできるため、USB PD 仕様の SinkTxOk に定めるタイミング制約をソフトウェアは簡単に満たす事ができます。

## 8.7 ファスト ロールスワップ (FRS)

この機能は、パートナーであるソースの電源喪失を検出するのに使います。FRS 信号を検出すると、「前のシンク」はソースに移行し VBUS の供給を開始します。

シンクとして動作している場合、FRS 動作モードは FRS 信号の検出を有効にしています。FRS 信号を検出すると **IRQ\_N** がアサートされ、このイベントは PIO オーバーライド要因としても割り当てる事ができます。ソースとして動作している場合、電源喪失を検出すると、本デバイスは FRS 信号を送信します。

FRS 信号の送信は、特定の PIO のアサートまたは CSR 書き込みで開始されます。

以下の FRS 関連機能をサポートしています。

- FRS 信号の受信の検出
- CC コンパレータのサンプリング周波数を向上させる事ができる広い帯域幅と電流ブーストモード
- FRS 検出時の割り込みと PIO のアサート
- FRS 検出に対する、ソースとしての PIO オーバーライドのサポート

- GPIOのアサートまたはレジスタの書き込みによる FRS 信号の開始
- 5 オーム (Rsw) プルダウン抵抗の制御

## 8.7.1 FRS シンク動作

シンクとして動作している場合、本デバイスは FRS 制御レジスタ内の FRS 検出イネーブル (FRS\_DET\_EN) をセットする事で FRS 信号を検出するように設定されています。CC 検出ロジックは 3 つのしきい値 (SinkTxOK、SinkTXNG、FRSWAP) を検出するように組み立てられ、ラウンドロビン方式で各しきい値をサンプリングします。このサンプリングレートは CC サンプルクロック レジスタで設定します。

FRSWAP しきい値で一致が検出された場合、CC 検出ロジックはこのしきい値で「待機」し、コンパレータ出力の監視を続けます。「待機」中、CC コンパレータ出力のサンプリングレートは 12 MHz に上がります。サンプリングレートを上げる事で、PD メッセージを FRS 信号として誤検出する事を防ぎます。このような誤検出は、サンプリングレートが PD メッセージの約 270 kbps と同等または遅い場合に時々起こります。

FRS CC デバウンス レジスタで指定した期間、デバウンスを継続します。FRSWAP しきい値は FRS しきい値選択レジスタで指定します。

デバウンスが成功すると FRS\_RCV\_STS 割り込みがアサートされ、CC 検出ロジックは全ての有効なしきい値のサンプリングを再開します。FRS のデバウンスが失敗すると、CC 検出ロジックは全ての有効なしきい値のサンプリングを再開します。

この動作モードでは、FRS 検出レイテンシを最小にするため CC コンパレータは高いレートで動作します。これは、コンパレータを高帯域幅モードにする事で有効にします。

FRS 信号検出後、「前のシンク」は VBUS が vSafe5V を下回ってから tSrcFRSwap (150  $\mu$ s) 以内に USB Type-C の現在の VBUS で vSafe5V の供給を開始する必要があります。これは、本デバイス外の回路によって実行する必要があります。

**Note:** tSrcFRSwap 要件を満たすため、VBUS が vSafe5V よりも低下した事を判断するには vSafe5V の上側しきい値を使う必要があります。

**Note:** VBUS しきい値の一致は、PIO オーバーライド要因として選択できます。さらに、「VBUS しきい値の一致」と「FRS 信号の検出」の論理積も PIO オーバーライド要因として使えます。

## 8.7.2 FRS ソース動作

最初のソースは、FRS 送信長レジスタで定義された期間、5 オーム未満の抵抗値で CC ピンをグラウンドに駆動する事で FRS 要求信号を発行します。FRS 要求信号は、CSR の書き込みまたは GPIO のアサートで開始されます。

前者は、FRS 制御レジスタの FRS 要求 (FRS\_REQ\_EN) ビットをセットする事で実行されます。このビットは FRS 要求が送信された後自動的にクリアされます。後者の場合、アサートする PIO は FRS 制御レジスタの FRS 要求 PIO (FRS\_REQ\_PIO) フィールドで選択します。

FRS 信号の送信は PD MAC TX 通信よりも優先されます。FRS PD 抵抗は、FRS 制御レジスタの FRS CC 選択 (FRS\_CC\_SEL) で設定した CC ピンに直列に接続されます。この設定は FRS 送信が完了するまで維持されます。

## 8.7.3 デッドバッテリー (UPD350-A/UPD350-B のみ)

以下の 2 種類の Rd 抵抗が実装されています。Rd(デッドバッテリー)と Rd(トリム)です。CC ピンは、プルアップ抵抗をアダプタイズしている DFP に接続した場合、ハイインピーダンスまたは未調整 Rd プルダウン抵抗を示すように設定されています。

# UPD350

図 8-1 に、デッドバッテリー充電機能をサポートするための構成を示します。UFP プルアップは RD\_DB と直列の FET を ON させ、未調整デッドバッテリー プルダウンを有効にします。

図 8-1: CC Rd( デッドバッテリー )

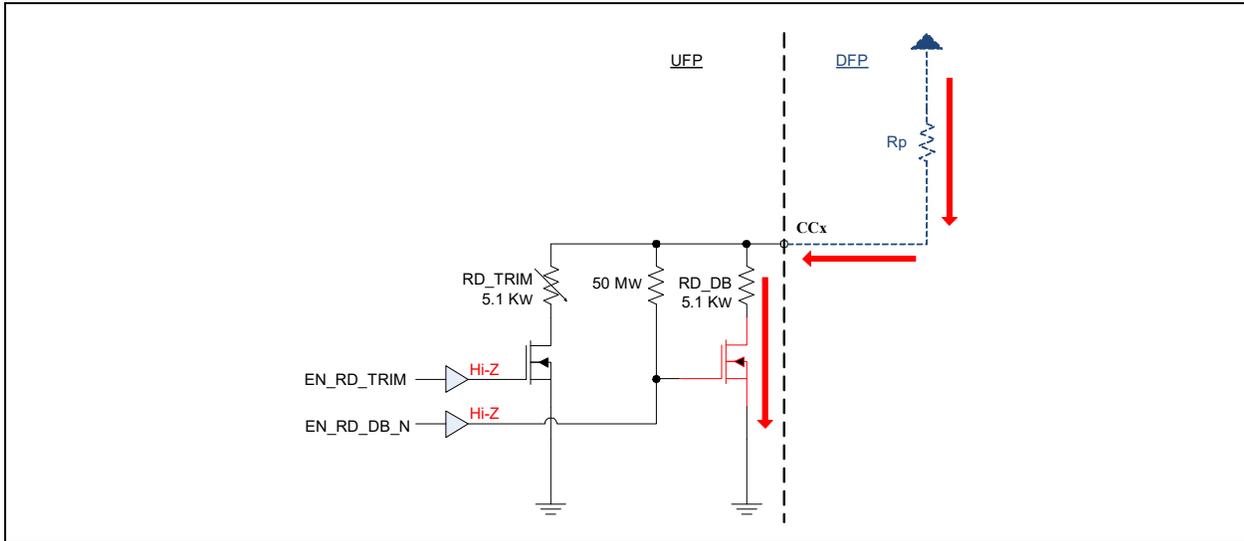
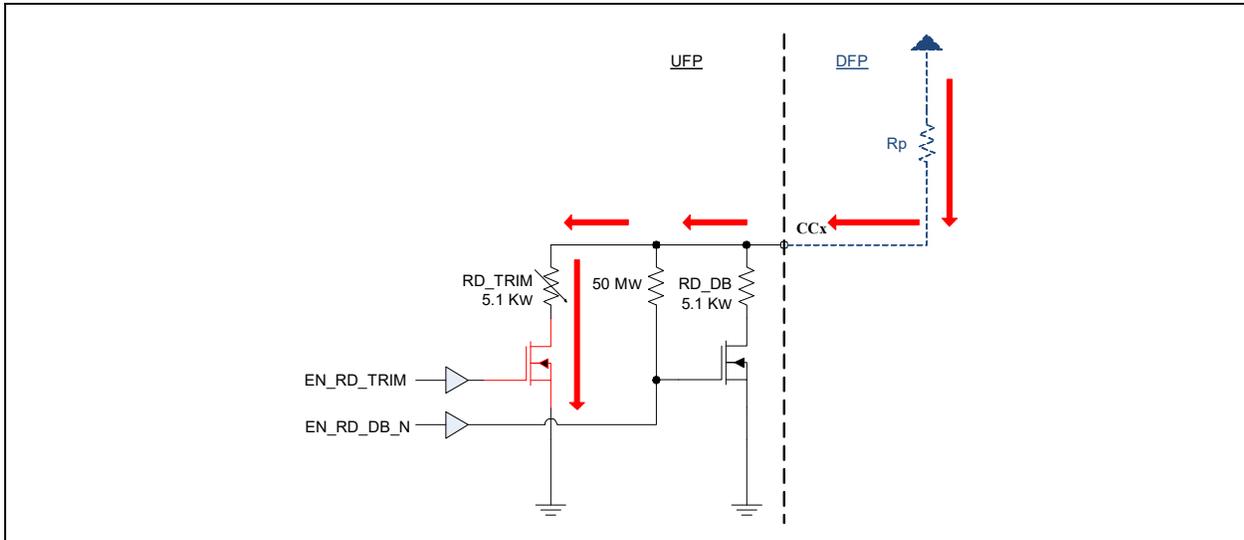


図 8-2 に、DFP によって UFP に VBUS が供給された後の動作を示します。デバイス起動後、既定値で EN\_RD\_DB がアサートされ、RD\_DB プルダウンを有効にして維持します。

ホスト CPU が起動するとソフトウェアは EN\_RD\_DB をネゲートし、同時に EN\_RD\_TRIM をアサートします。これにより、本デバイスは RD\_TRIM を接続します。

図 8-2: CC Rd( トリム )



Rd ( トリム ) 抵抗の設定は、CC 制御レジスタ (CC\_CTL) の CC1 および CC2 プルダウン値で制御します。これらのレジスタ フィールドで、図示した EN\_RD\_TRIM および EN\_RD\_DB\_N 制御信号を設定します。

## 8.8 VCONN 動作

VCONN は、USB Type-C プラグ内の電源回路に使う 5 V 電源であり、Electronically Marked ケーブルを実装するのに必要です。既定値で DFP はアクティブ ケーブルに接続した場合、常に VCONN に電力を供給します。しかしこれは、PD VCONN\_SWAP を使ってソフトウェアで変更できます。

VCONN FET は、CC 制御レジスタ (CC\_CTL) の VCONN1 制御ビットと VCONN2 制御ビットを使ってソフトウェアで有効 / 無効にします。

**NOTE:** 両方の FET を同時に ON にする事は想定していません。

VCONN は、過電流条件にあるかどうかを内部監視回路によって監視されています。指定された時間よりも長くイベントが持続した場合、VCONN の過電流条件が認識されます。過電流 VCONN イベントが検出されると、割り込みがアサートされます。本デバイスは、CC1/CC2 逆駆動エラーまたは VCONN 放電エラーの検出時に VCONN FET を自動的に OFF にするように設定できます。デバウンス処理された過電流 VCONN イベントが検出された場合、ON にしていた VCONN FET は OFF になります。

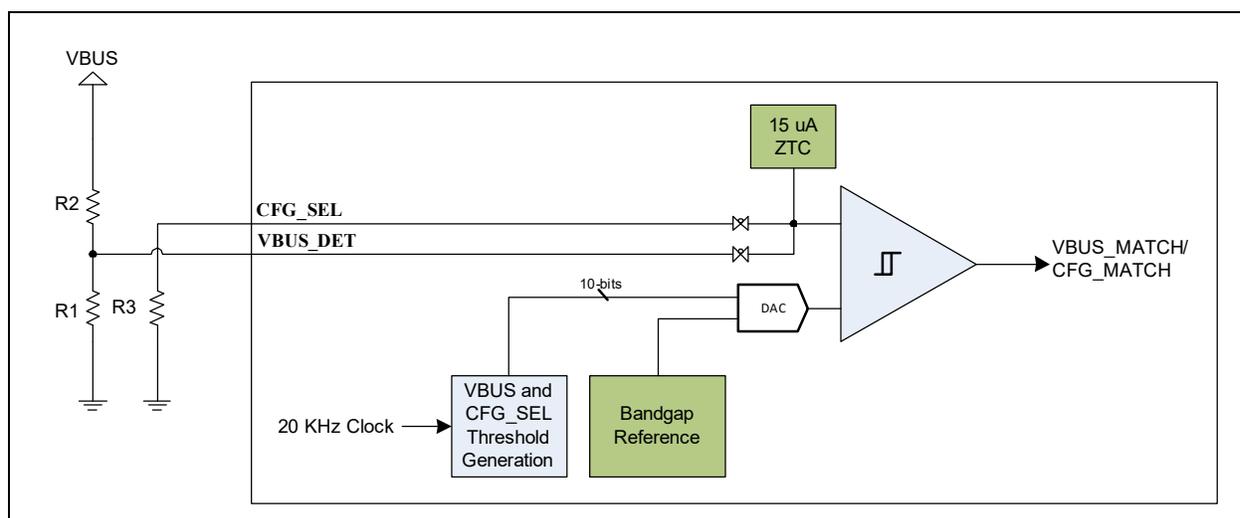
## 8.9 VBUS 検出

本デバイスは、設定されたレンジ (vSafe5V または vSafe0v) 内に VBUS がある事を判断するためにコンパレータを内蔵しています。VBUS は 1:9 抵抗分圧器で外部的に分圧され、VBUS\_DET を生成します。VBUS\_DET は、内蔵 DAC で生成した 8 ビットしきい値と比較されます。このコンパレータは、CFG\_SEL ピンによっても共有されています。このピンは、システムリセット後、自動的にサンプリングされます。

図 8-3 に、VBUS\_DET 回路を示します。通常、VBUS\_DET しきい値は、表 8-6 に示す電圧レンジを追跡するように設定されます。

**Note:** 表 8-6 に、+/-1% 精度の抵抗 (R1 = 10 kΩ, R2 = 90 kΩ) を使った VBUS\_DET の値を示します。

図 8-3: VBUS\_DET コンパレータ



DFP にとって、PD によってネゴシエートされた必要なレンジ内に VBUS がある事を検出するのに VBUS コンパレータは便利です。これは、デバイス外部のソースによって VBUS が生成される場合です。

UFP にとって、DFP の接続と切り離しを判断するのに VBUS コンパレータが必要です。UFP は、PD によってネゴシエートされた新規電圧レンジ内に VBUS がある事を判断するのにも、このコンパレータを使えます。

# UPD350

表 8-6: VBUS 検出しきい値

VBUS	レンジ	VBUS_DET	備考
20	21.5	2.11	
	18.5	1.82	
12	13.1	1.29	
	10.9	1.07	
8	8.9	0.88	
	7.1	0.69	
5	5.5	0.51	vSafe5V
	3.67	0.33	
0.68	0.68	0.068	vSafe0V

サポート可能な場合、レンジ (8/12/20 V) は VBUS しきい値 2 および 3 レジスタで設定できます。同様に、5 V レンジ (vSafe5v) を VBUS しきい値 0 および VBUS しきい値 1 レジスタで設定できます。

vSafe0V のしきい値はプログラマブルです。

VBUS\_DET 監視ロジックは、各しきい値をサンプリングする 20 kHz オシレータで動作します。vSafe0v を含め、合計 5 つの値を比較します。

VBUS 一致レジスタ (VBUS\_MATCH) は、対応する設定済みのしきい値より VBUS\_DET の値が高い事を示すため、必要なレンジ内に VBUS がある事を判断するのに使えます。

適切に設定する事で、VBUS 一致レジスタの状態変化をトリガとして IRQ\_N ピンをアサートする事もできます。

## 8.9.1 コンフィグレーション選択

CFG\_SELピンはコンパレータをVBUSと共有しています(図8-3参照)。CFG\_SELピンは抵抗分圧器に接続されており、通常 VDDIO にプルアップされています。システムレベル リセット (POR、RESET\_N、ソフトウェア リセット) の後、デバイスを設定するために CFG\_SEL ピンがサンプリングされます。スタンダロン モードを検出すると、内部の CFG\_SEL\_MATCH レジスタは自動的に更新され、それに基づいてデバイスは自身を設定します。CFG\_SEL ピンの各種抵抗設定の詳細は表 8-7 で説明します。

**Note:** UPD350-A/UPD350-C では、CFG\_SEL ピンを使って既定値の I<sup>2</sup>C スレーブアドレスと動作モードを決定します。UPD350-B/UPD350-D では、このピンはデバイスの動作モード (コンパニオンまたはスタンダロン) を決定します。また、接続された抵抗値に基づいて離散値 (0 ~ 15) を出力できます。

**Note:** デバイスリセットの詳細はセクション 6.7、「リセット動作」(p. 30) を参照してください。

表 8-7: コンフィグレーション選択 (CFG\_SEL) ピンによる I<sup>2</sup>C アドレス設定 (UPD350-A/UPD350-C のみ)

抵抗 (+/-1%)	説明	CFG_SEL1_MATCH レジスタ
GND	コンパニオン モード I <sup>2</sup> C スレーブアドレス = 1011_111	0000h
0.475 kΩ	コンパニオン モード I <sup>2</sup> C スレーブアドレス = 1011_110	0001h
0.953 kΩ	コンパニオン モード I <sup>2</sup> C スレーブアドレス = 1011_101	0003h
1.43 kΩ	コンパニオン モード I <sup>2</sup> C スレーブアドレス = 1011_100	0007h
1.87 kΩ	コンパニオン モード I <sup>2</sup> C スレーブアドレス = 1101_011	000Fh
2.37 kΩ	コンパニオン モード I <sup>2</sup> C スレーブアドレス = 1101_010	001Fh
2.87 kΩ	コンパニオン モード I <sup>2</sup> C スレーブアドレス = 1101_001	003Fh
3.32 kΩ	コンパニオン モード I <sup>2</sup> C スレーブアドレス = 1101_000	007Fh
3.83 kΩ	スタンダロン UFP モード I <sup>2</sup> C スレーブアドレス = 1011_111	00FFh
4.22 kΩ	スタンダロン UFP モード I <sup>2</sup> C スレーブアドレス = 1011_110	01FFh
4.75 kΩ	スタンダロン UFP モード I <sup>2</sup> C スレーブアドレス = 1011_101	03FFh
5.23 kΩ	スタンダロン UFP モード I <sup>2</sup> C スレーブアドレス = 1011_100	07FFh
5.62 kΩ	スタンダロン UFP モード I <sup>2</sup> C スレーブアドレス = 1101_011	0FFFh

# UPD350

---

## 8.10 逆駆動検出

逆駆動検出は両方の CC ピンに実装されており、電流の逆流を防止します。逆駆動検出回路は常時動作しており、 $VCCx > VS$  になるとトリガします。

逆駆動条件を検出すると、CC1 または CC2 逆駆動エラー割り込みをアサートします。

指定されたデバウンス期間後 CC ピンで逆駆動を検出すると、その CC ピンの VCONN FET をハードウェアで自動的に OFF にできます。

## 8.11 スタンドアロン UFP (UPD350-A/UPD350-C のみ)

### 8.11.1 概要

本デバイスは、CPU を使わないでデバイスを設定できるスタンドアロン UFP 動作をサポートしています。このモードの主な用途は、Microchip 社製 USB58xx/USB59xx USB ハブファミリ向けの USB Type-C UFP コンパニオンです。

### 8.11.2 コンフィグレーション

CFG\_SEL ピンを適切に設定すると、このモードに移行します。システムレベル リセットイベント後、本デバイスは自身を設定します。

## 9.0 ベースバンド CC インターフェイス (BCI)

本デバイスは、USB Power Delivery 通信を容易にするためベースバンド CC インターフェイス (BCI) を内蔵しています。このモジュールは PD MAC/BMC とアナログ フロントエンドの間の橋渡しの役目をします。ベースバンド通信は BCI と接続する PD MAC によって開始されます。この BCI は、TX ベースバンド コンポーネントの制御に必要なデジタル機能を実装しています。

### 9.1 ベースバンド TX データフロー

BCI の主な役割はベースバンド通信に必要な波形を生成する事です。このため BMC は、生成される BMC 信号の Low-High および High-Low 遷移を定義する 8 個のレジスタを備えています。

Low から High への遷移が指示されると、BCI は全ての BB TX 立ち上がりレジスタを順番に読み出します。同様に High から Low への遷移が指示されると、BCI は全ての BB TX 立ち下がりレジスタを順番に読み出します。

**NOTE:** このために 12 未満の一意の値を使う必要がある場合、ユーザは値を複製できます。

### 9.2 ベースバンド RX データフロー

RX アナログ フロントエンドでは、ベースバンド RX データを、ソフトウェアで設定したしきい値と比較した後 BCI に送信します。CC RX DAC 値はベースバンド データの受信に使うトリップポイントを定義します。この領域は、デバイス動作モード (ソースパワー、シンクパワー、パワーニュートラル) に関する PD 仕様で定義されているように、RX アイ中心から 175 mV 下に設定する必要があります。

# UPD350

---

## 10.0 Power Delivery MAC

本 PD MAC は、USB Power Delivery 仕様のプロトコル層と物理層の一部機能を実装しています。一方の端でプロトコルの大部分と上位層を実装するソフトウェアに接続し、もう一方の端で BMC エンコーダ / デコーダ モジュールに接続します。

また通常の TX および RX 機能に加えて、USB PD 仕様で定義されているテストモード ロジック (BIST) を実装しています。

本 PD MAC は、以下の機能をサポートしています。

- 自動 TX モードによるパケット フレーミングと CRC32 挿入
- Raw TX モードによるビットレベル パケット制御
- 受信メッセージに対する自動 GoodCRC 応答
- BIST RX モードの自動 BIST エラーカウント メッセージ
- GoodCRC タイマの実装
- プログラマブル リトライカウント機能を備えた自動リトライ
- 自動応答モードで冗長な受信パケットを自動的にドロップ
- 74 バイトの TX キュー
- 128 バイトの RX キュー
- プログラマブルな TX ビットタイミング可変動作周波数
- プログラマブルなプリアンブル長
- BIST TX および RX ロジック
- プログラマブルな TX および RX キューモード - バッファモードと FIFO モード
- TX 用 CRC32 ジェネレータ
- RX 用 CRC32 カリキュレータおよびコンパレータ

### 10.1 PD MAC トランスミッタ

PD MAC トランスミッタは主な 3 つのブロックで構成されます。

- **TX キュー:**  
TX キューは送信するメッセージをソフトウェアが書き込む場所です。
- **TX 制御:**  
TX 制御は必要な制御ロジックを実装しています。TX キューからのデータを読み出しと、データ処理モード (自動または Raw) に基づいて、TX 通信が使いやすいように (制御情報を含むニブルに) データの処理を担当します。パケット フレーミングの生成、自動モードでのパケットの終端、自動応答 (GoodCRC と BIST エラーカウント) のためのメッセージの生成も担当します。TX 制御は送信する SOP タイプも選択します。
- **TX 通信:**  
TX 通信は TX CRC ジェネレータ、4B/5B エンコーダ、シリアライザ、プリアンブル ジェネレータ、TX ビットタイマで構成されています。ニブルデータを取り込み、CRC を計算および挿入し、5B エンコードを実行し、ベースバンド シリアルデータを生成します。プリアンブルの挿入もこのロジックが実行します。

### 10.2 PD MAC レシーバ

PD MAC レシーバは主な 3 つのブロックで構成されます。

- **RX キュー:**  
RX キューは受信したメッセージをソフトウェアが書き込む場所です。
- **RX 制御:**  
RX 制御は必要な制御ロジックを実装しています。必要に応じて受信したパケットの検証、RX キューステータスの更新、自動応答のためのトリガを担当します。
- **RX 通信:**  
RX 通信はクロックおよびデータリカバリ (CDR)、RX DES (デシリアライザ) (シリアル - パラレル コンバータ、4B/5B デコーダ、フレーミング検出器)、RX CRC32 (CRC カリキュレータ、受信タイマ)、有効パケットの受信を検出するためのその他のロジックで構成されています。

## 10.3 PD MAC BIST

PD MAC は、USB PD 仕様で定義された BIST 機能を内蔵しています。PD MAC は TX ブロックと RX ブロックで構成されます。

BIST TX ブロックは PRBS (Pseudo Random Binary Sequence) ジェネレータ、BIST パターン生成ロジック、専用のビットタイミングロジックを含みます。TX BIST テストフレームが使う SOP タイプは、レジスタ設定に基づいて順序付けられた 5 組の SOP を多重化する事で作成した 20 ビットの静止ベクトルです。パケットが送信されると、その結果の 20 ビットベクトルは単純にビット選択されます。

BIST RX ブロックは PRBS ジェネレータとビットエラー検出ロジックを含みます。BIST RX は BIST レシーバテスト中のみ使います。

# UPD350

## 11.0 パワースイッチ

本デバイスは、デッドバッテリー充電機能を効率的にサポートできるように、2つの外部 +3.3 V 電源を選択するためのパワースイッチを内蔵しています。

- 3V3\_ALW: 内蔵パワースイッチへの +3.3 V 主電源入力
- 3V3\_VBUS: VBUS から内蔵パワースイッチへの +3.3 V 電源入力

パワースイッチは、通常 3V3\_ALW から (3V3\_ALW が存在しない場合 3V3\_VBUS から) コアへの電力供給を可能にします。これにより、外部プロセッサの介入なしに (外部プロセッサはスリープモードのまま)、簡単に接続を検出しシステムを復帰させる事ができます。

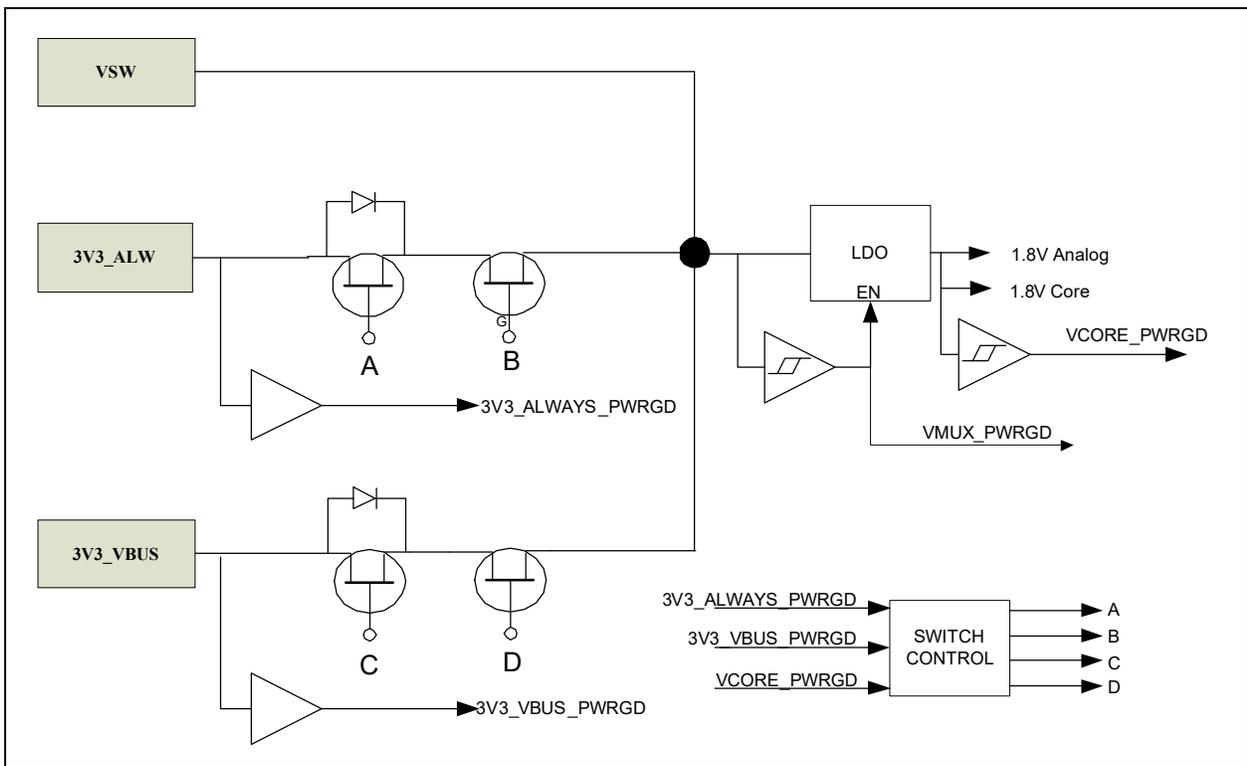
3V3\_ALW と 3V3\_VBUS には 2 つの FET スイッチが接続されています。最初の FET には出力の両端にダイオードが接続されています。

以下の 3 つの電圧コンパレータを備えています。VBUS\_PWRGD は 3V3\_VBUS が 2.7 V を超えると ON になります。3V3\_ALW\_PWRGD は 3V3\_ALW が 2.7 V を超えると ON になります。VCORE\_PWRGD はコア電圧が動作可能なレベルに達すると ON になります。

VCORE\_PWRGD がアサートされていない場合、本デバイスはリセット状態に保持されます。VBUS\_PWRGD と 3V3\_ALW\_PWRGD がどちらもアサートされていない場合、本デバイスは VCORE\_PWRGD のステートに関係なくリセット状態に保持されます。

図 11-1 に、内蔵パワースイッチのブロック図を示します。

図 11-1: パワースイッチのブロック図



## 11.1 ソフトウェア オーバーライド

3V3\_VBUS と 3V3\_ALW が両方利用可能な場合、パワースイッチは自動的に 3V3\_ALW を選択して動作します。これはソフトウェアでオーバーライドできます。これにより、スイッチが VBUS を使わないで動作するように強制します。スイッチの自動切り換えは無効にする事もできます。

## 12.0 HDMI/DisplayPort ホットプラグ検出 (HPD)

### 12.1 概要

本デバイスは、接続された DisplayPort 準拠 HPD 入出力ピンの状態を、追加ハードウェアなしで検出できます。このピンは HDMI オルタネート モードを実装するのにも使えます。

USB Type-C DisplayPort オルタネート モード仕様では、以下の 2 つのステータスフラグに関して HPD の状態を定義しています。

- **HPD\_STATE:** HPD の論理状態が High と Low (それぞれ HPD\_HIGH、HPD\_LOW と表記) のどちらであるかを示します。USB 経由の HPD ステート通信のために HPD の論理状態は IRQ\_HPDP の受信中は High を維持し、新規の機械的接続時に HPD がデバウンスされている最中は Low を維持するとみなされます。HPD の論理状態は、HPD リンク上で 2 ms の間 (すなわち、最大 IRQ\_HPDP パルス検出時間より長く) Low レベルが検出されていた場合、High から Low に遷移します。HPD リンク上のグリッチ (DP v1.3 で規定) の間、HPD の論理状態は変化しません。
- **IRQ\_HPDP:** IRQ\_HPDP を示します (すなわち、HPD の High から Low への遷移に続いて 250  $\mu$ s ~ 2 ms の間に Low から High への遷移が検出された (DP v1.3 で規定))。

**Note:** HPD ピンは、DisplayPort ソース用途では入力として、DisplayPort シンク用途ではプッシュプル ドライバとして設定されます。

**Note:** HDMI オルタネート モードは、HPD 出力を生成するため 5 V レベルシフトを必要とします。HPD ピンは 5 V 対応であるため、レシーバとして動作する際は安全に直接 HPD に接続できます。

# UPD350

---

---

## 13.0 ウォッチドッグ タイマ (WDT)

### 13.1 概要

ウォッチドッグ タイマ (WDT) の機能は、デバイスに障害が発生したかどうかを検出する事です。

指定期間 (WDT 間隔とよぶ) 内にユーザプログラムが WDT のリロードに失敗すると、ウォッチドッグ タイマ回路は WDT 起動型システムリセットを生成します。

ウォッチドッグ タイマは、選択した分解能に従って 20 kHz 接続保持オシレータまたは 48 MHz 弛緩オシレータで動作します。

ウォッチドッグ タイマ起動型システムリセットが生成されると、WDT\_INT 割り込みがアサートされます。

### 13.2 I<sup>2</sup>C/SPI 書き込み

ウォッチドッグ割り込みが保留中は、割り込みがクリアされるまで全ての書き込み動作は阻止されます。

## 14.0 動作特性

### 14.1 絶対最大定格 \*

電源電圧 (VS) (Note 14-1)	-0.3 ~ +6.0 V
電源電圧 (VDD33IO、3V3_VBUS、3V3_ALW、VDD_I2C、VDD18) (Note 14-1)	0 ~ +4.0 V
グラウンドを基準とした入力信号ピンに対する正電圧	+6.0 V
グラウンドを基準とした入力信号ピンに対する負電圧	-0.5 V
保管温度	-55 ~ +150 °C
リード温度レンジ	JEDEC 仕様 J-STD-020
ESD 耐量	+/-8 kV (HBM)

**Note 14-1** このデバイスに実験室またはシステム電源から電力を供給する際に絶対最大定格を超えるとデバイスが損傷するため注意が必要です。一部の電源では、AC 電源のスイッチ ON/OFF 時に電圧スパイクが生じる事があります。また、AC 電源ラインの過渡電圧が DC 出力に表れる事もあります。このような可能性がある場合、クランプ回路を使う事を推奨します。

\* ここに記載した「絶対最大定格」を超える条件は、デバイスに恒久的な損傷を生じさせる可能性があります。これはストレス定格です。絶対最大定格条件を超えて長期間曝露させるとデバイスの信頼性に影響する可能性があります。セクション 14.2、「動作条件 \*\*」、セクション 14.5、「DC 特性」、その他本仕様書の関連セクションに示す条件外でのデバイス運用は想定していません。

### 14.2 動作条件 \*\*

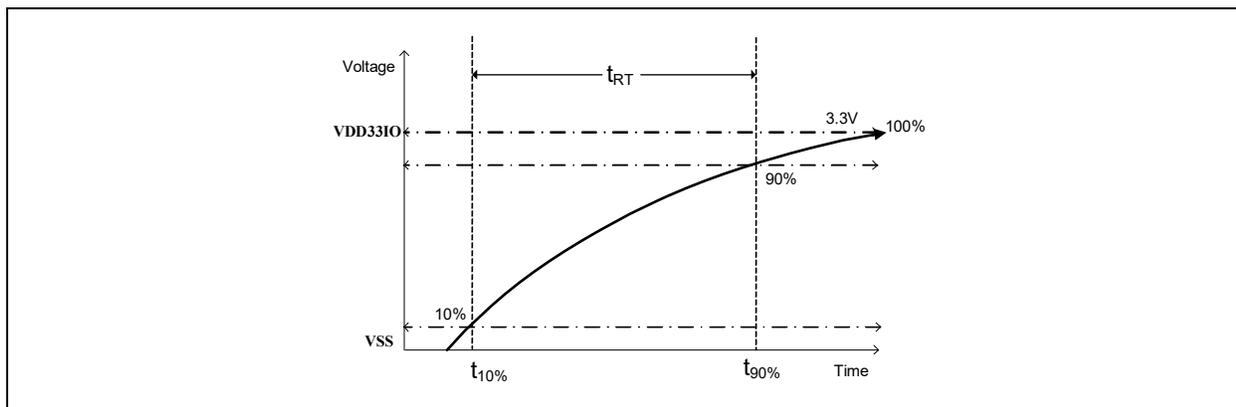
電源電圧 (VS)	+4.75 ~ +5.25 V
電源電圧 (VDD33IO、3V3_VBUS、3V3_ALW)	+3.1 ~ +3.47 V
電源電圧 (VDD_I2C)	Note 14-2
電源電圧 (VDD18)	+1.62 ~ +1.98 V
グラウンドを基準とした入力信号ピンに対する正電圧	+3.3 V
グラウンドを基準とした入力信号ピンに対する負電圧	-0.3 V
電源立ち上がり時間 ( $T_{RT}$ ) (図 14-1) の最大値	100 ms
商業用動作周囲温度、無風状態 ( $T_A$ )	0 ~ +70 °C
産業用動作周囲温度、無風状態 ( $T_A$ )	-40 ~ +85 °C

**Note 14-2** I<sup>2</sup>C インターフェイスを 1.8 V で動作させるには 1.8 V (+/-10%) に接続し、3.3 V で動作させるには 3.3 V (+/-10%) に接続します。

\*\* このセクションに記載したレンジ内でのみデバイスの正常な動作を保証します。

# UPD350

図 14-1: 電源立ち上がり時間モデル



## 14.3 パッケージ温度仕様

表 14-1: パッケージの温度パラメータ

パラメータ	記号	°C / W
接合部 - 大気間熱抵抗	$\Theta_{JA}$	49
接合部 - ケース上部間熱抵抗	$\Theta_{JC}$	6
接合部 - ボード間熱抵抗	$\Theta_{JB}$	29
接合部 - ケース底部間熱抵抗	$\Psi_{JT}$	0.7

**Note:** 温度パラメータは、JESDN51 に準拠して多層 2S2P 基板にデバイスを実装して計測または推定しています。

表 14-2: 消費電力

パラメータ	記号	Max.	単位
消費電力	$P_{dis}$	55	mW

**Note:** これは、内部 VBUS パワースイッチ、VCONN パワースイッチ、3.3 V 両用電源スイッチ、アナログブロック、コア デジタルロジックに対する最大負荷 (電流制限保護回路が動作する直前) の結果としてのワーストケースの消費電力です。

## 14.4 消費電流

表 14-3: デバイスの消費電流

電力ステート	消費電流		
	Typ.	Max.	単位
リセット	110	-	μA
スリープ	15	-	μA
ハイバネート	80	-	μA
スタンバイ	1.20	-	mA
アイドル (アタッチ時、FRS 有効)	1.40	-	mA
アイドル (アタッチ時、FRS 無効)	1.25	-	mA
アクティブ (PD パケット送信中)	-	15.0	mA

**Note 1:** この表では、各種動作モード中に計測した UPD350 デバイスの消費電力を示します。詳細は[セクション 6.2、「電力ステート」](#)を参照してください。消費電力は温度、電源電圧、外部ソース / シンク要件により異なります。最大値は短時間の瞬間的な動作電流を表します。代表値は長時間の平均的な消費電流を表します。

- 2: スリープ電力ステートへは、PWR\_DN ピンのアサートで移行します。
- 3: スタンバイは USB Type-C 仕様書の Unattached.SRC/Unattached.SNK に相当します。
- 4: 電流は全ての 3.3 V レールを互いに接続して計測しました。

## 14.5 DC 特性

表 14-4: DC 特性

パラメータ	記号	Min.	Typ.	Max.	単位	備考
<b>IS タイプ入力バッファ</b>						
Low 入力レベル	$V_{ILI}$	-0.3		0.8	V	
High 入力レベル	$V_{IHI}$	2.0		3.6	V	
立ち下がりしきい値	$V_{ILT}$	1.21	1.33	1.8	V	シュミットトリガ
立ち上がりしきい値	$V_{IHT}$	1.31	1.58	1.8	V	シュミットトリガ
シュミットトリガ ヒステリシス ( $V_{IHT} - V_{ILT}$ )	$V_{HYS}$	100	133	0	mV	
入力リーク ( $V_{IN} = VSS$ または $VDDIO$ )	$I_{IH}$	-10		10	μA	Note 14-3
入力静電容量	$C_{IN}$			3	pF	
<b>O8 タイプ出力バッファ</b>						
Low 出力レベル	$V_{OL}$			0.4	V	$I_{OL} = -8$ mA
High 出力レベル	$V_{OH}$	$VDD33IO - 0.4$			V	$I_{OH} = 8$ mA

# UPD350

表 14-4: DC 特性 ( 続き )

パラメータ	記号	Min.	Typ.	Max.	単位	備考
OD8 タイプ出力バッファ						
Low 出力レベル	$V_{OL}$			0.4	V	$I_{OL} = -8 \text{ mA}$
I <sup>2</sup> C タイプバッファ						Note 14-4

**Note 14-3** この仕様は全ての入力および 3 ステート双方向ピンに適用されます。内部プルダウンおよびプルアップ抵抗により、ピンあたり +/-50  $\mu\text{A}$  (typ.) が加算されます。

**Note 14-4** I<sup>2</sup>C タイプバッファは NXP 社の『I<sup>2</sup>C-Bus Specification』(UM10204、Rev. 6) に準拠しています。詳細は『I<sup>2</sup>C-Bus Specification』を参照してください。

表 14-5: VCONN スイッチの DC パラメータ

パラメータ	記号	Min.	Typ.	Max.	単位	備考
ILIM	$I_{LIM\_VCONN}$		600		mA	$V_S = 5 \text{ V}$
ON 抵抗	$R_{ON\_VCONN}$		270		$\text{m}\Omega$	

表 14-6: パワースイッチの DC パラメータ

パラメータ	記号	Min.	Typ.	Max.	単位	備考
VSW Load	$VSW\_Load$			100	mA	$3V3\_ALW/3V3\_VBUS = 3.3 \text{ V}$
VSW 抵抗	$R\_VSW$		500		$\Omega$	

## 14.6 AC 特性およびタイミング

このセクションではデバイスの各種 AC タイミング仕様を示します。

### 14.6.1 RESET\_N のタイミング

図 14-2 に、RESET\_N のタイミング要件を示します。RESET\_N のアサートは要件ではありません。しかしこの信号を使う場合、指定された期間以上アサートする必要があります。

図 14-2: RESET\_N のタイミング

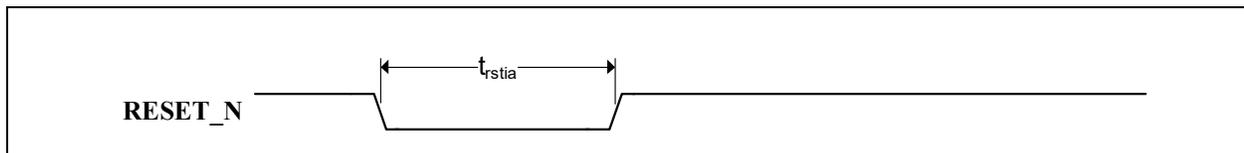


表 14-7: RESET\_N のタイミング値

記号	説明	Min.	Typ.	Max.	単位
$t_{rstia}$	RESET_N 入力のアサート時間	1			$\mu\text{s}$

## 14.6.2 I<sup>2</sup>C スレーブ インターフェイス (UPD350-A/UPD350-C のみ)

図 14-3 に、I<sup>2</sup>C スレーブインターフェイスのタイミング要件を示します。I<sup>2</sup>C スレーブインターフェイスは標準モード、ファストモード、ファストモードプラスで動作できます。詳細は「セクション 4.0、「I<sup>2</sup>C スレーブ コントローラ (UPD350-A/UPD350-C のみ)」 (p. 17) を参照してください。

図 14-3: I<sup>2</sup>C スレーブのタイミング

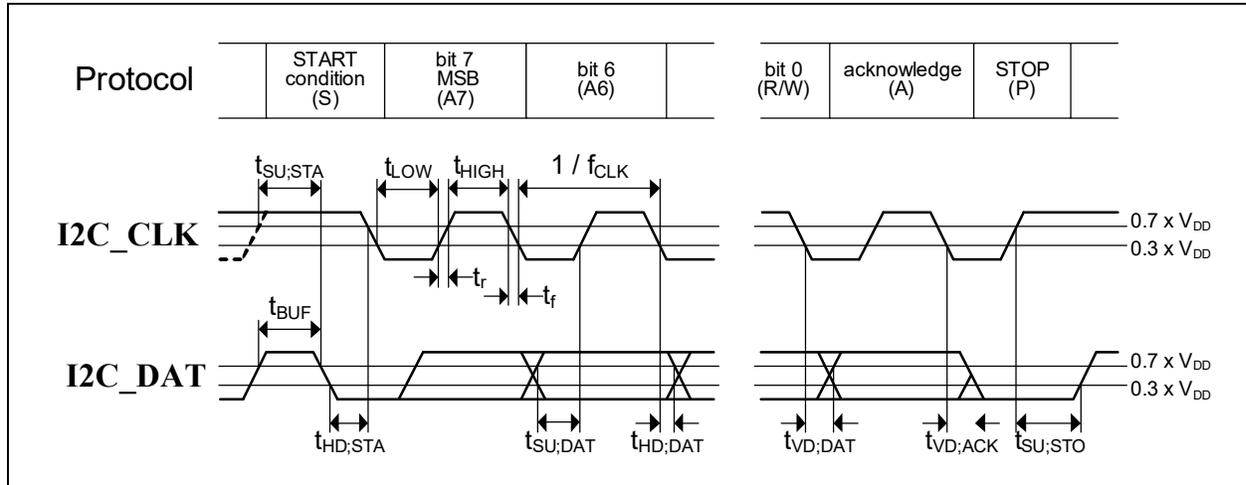


表 14-8: I<sup>2</sup>C スレーブのタイミング値

記号	説明	Min.	Max.	単位
$f_{CLK}$	I2C_CLK クロック周波数	0	1000	kHz
$t_{BUF}$	STOP 条件と START 条件の間のバス解放時間	0.5		$\mu$ s
$t_{HD:STA}$	( 反復 )START 条件のホールド時間	0.26		$\mu$ s
$t_{SU:STA}$	反復 START 条件のセットアップ時間	0.26		$\mu$ s
$t_{SU:STO}$	STOP 条件のセットアップ時間	0.26		$\mu$ s
$t_{HD:DAT}$	データホールド時間	0		ns
$t_{VD:ACK}$	データ有効肯定応答時間 (Note 14-5)	0.05	0.45	$\mu$ s
$t_{VD:DAT}$	データ有効時間 (Note 14-6)	50	450	ns
$t_{SU:DAT}$	データ セットアップ時間	50		ns
$t_{LOW}$	I2C_CLK クロックの Low 期間	0.5		$\mu$ s
$t_{HIGH}$	I2C_CLK クロックの High 期間	0.26		$\mu$ s
$t_f$	I2C_CLK と I2C_DAT の立ち下がり時間 (Note 14-7)(Note 14-8)		120	ns
$t_r$	I2C_CLK と I2C_DAT の立ち上がり時間 (Note 14-7)(Note 14-8)		120	ns
$t_{SP}$	入力フィルタで抑制する必要があるスパイクのパルス幅 (Note 14-9)		50	ns

**Note 14-5**  $t_{VD:ACK}$  = I2C\_CLK Low から I2C\_DAT (出力) Low までの肯定応答信号の期間

**Note 14-6**  $t_{VD:DAT}$  = I2C\_CLK Low の後の I2C\_DAT データ出力が有効な最小期間

**Note 14-7** マスタデバイスは、未定義領域の I2C\_CLK の立ち下がりエッジを橋渡しするために、I2C\_DAT 信号に対して最低 300 ns のホールド時間 (I2C\_CLK 信号の  $V_{IL}$  参照) を内部的に提供する必要があります。

**Note 14-8** I2C\_DAT および I2C\_CLK バスラインの最大  $t_f$  は 300 ns に規定されています。I2C\_DAT 出力ステージの最大立ち下がり時間  $t_f$  は 250 ns に規定されています。これにより、規定された最大  $t_f$  を超えることなく I2C\_DAT および I2C\_CLK ピンとそれぞれのバスラインの間に直列保護抵抗を接続できます。

**Note 14-9** I2C\_DAT および I2C\_CLK 入力の入力フィルタは 50 ns 未満のノイズスパイクを抑制します。

# UPD350

## 14.6.3 SPI スレーブ インターフェイス (UPD350-B/UPD350-D のみ)

図 14-4 と図 14-5 に、SPI スレーブ インターフェイス 入出力 タイミング 要件を示します。詳細は [セクション 5.0、「SPI スレーブ コントローラ \(UPD350-B/UPD350-D のみ\)」](#) (p. 22) を参照してください。

図 14-4: SPI スレーブ 入出力 タイミング

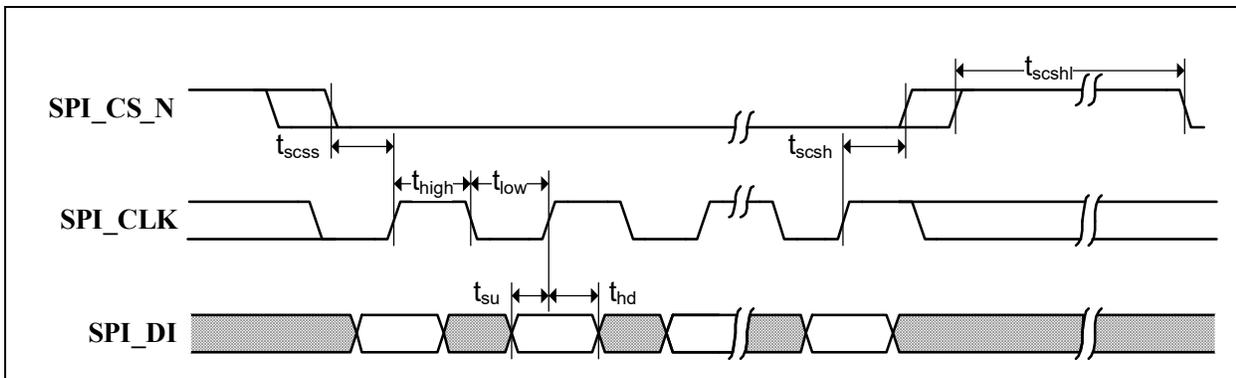


図 14-5: SPI スレーブ 出力 タイミング

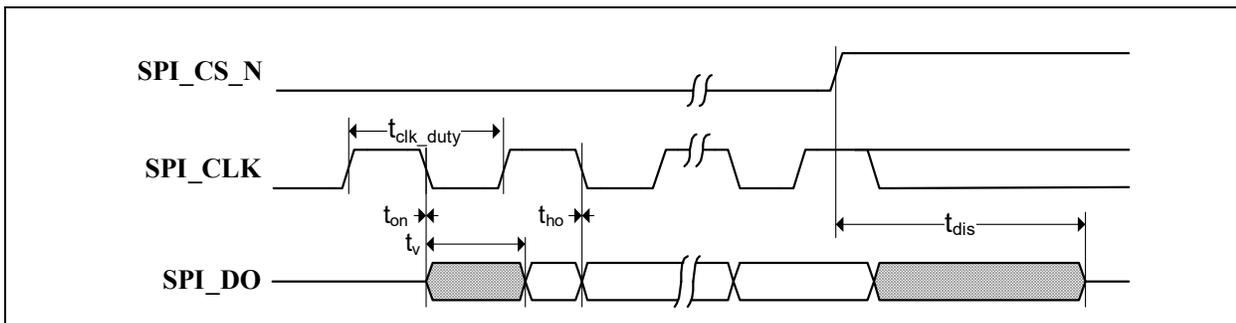


表 14-9: SPI タイミング値

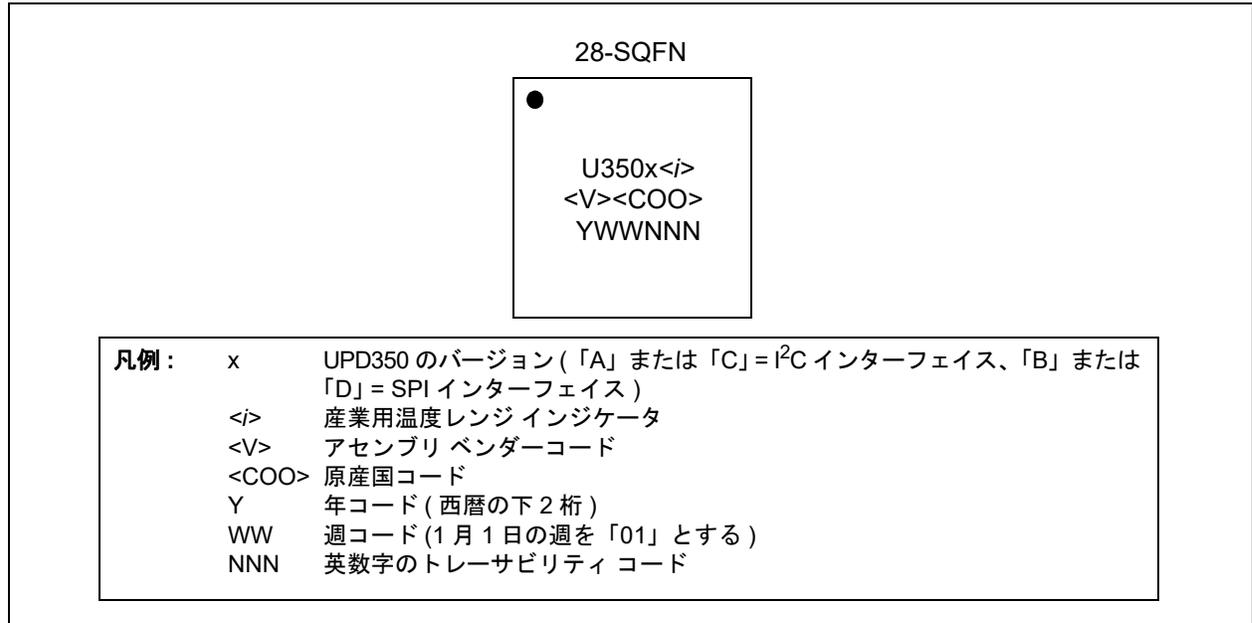
記号	説明	Min.	Typ.	Max.	単位
$f_{sck}$	SPI_CLK クロック周波数			25	MHz
$t_{clk\_duty}$	SPI_CLK High/Low デューティ サイクル	40		60	%
$t_{scss}$	SPI_CLK 前の SPI_CS_N セットアップ時間	5			ns
$t_{scsh}$	SPI_CLK 後の SPI_CS_N ホールド時間	5			ns
$t_{scshl}$	SPI_CS_N 非アクティブ時間	100			ns
$t_{su}$	SPI_CLK 前のデータ入力セットアップ時間	10			ns
$t_{hd}$	SPI_CLK 後のデータ入力ホールド時間	4			ns
$t_{on}$	SPI_CLK からデータ出力ターンオンまでの時間	0			ns
$t_v$	SPI_CLK からデータ出力有効までの時間			Note 14-10	ns
$t_{ho}$	SPI_CLK 後のデータ出力ホールド時間	0			ns
$t_{dis}$	SPI_CS_N が非アクティブになってからデータ出力無効までの時間			20	ns

**Note 14-10** 8.5( 負荷容量が 30 pF の場合 ) または 8.0( 負荷容量が 10 pF の場合 )

## 15.0 パッケージ情報

**Note:** 最新のパッケージ図面については、以下のウェブページにある「Microchip Packaging Specification (Microchip 社パッケージ仕様)」を参照してください。  
<http://www.microchip.com/packaging>

図 15-1: パッケージのマーキング情報

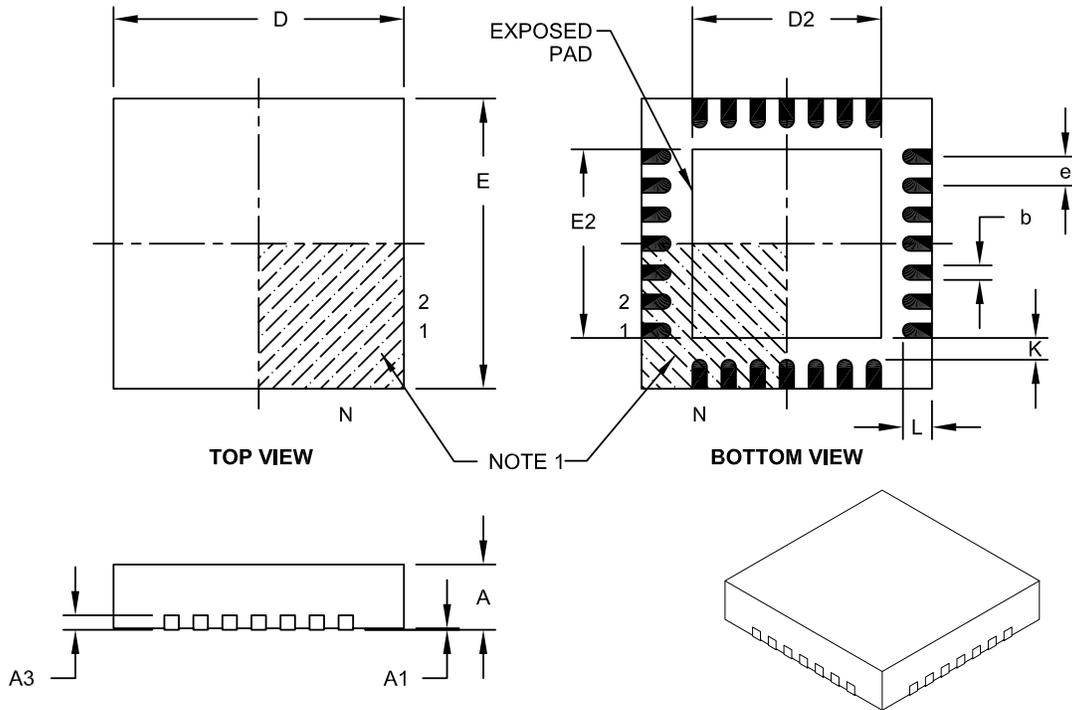


# UPD350

**Note:** 最新のパッケージ図面については、以下のウェブページにある「Microchip Packaging Specification (Microchip 社パッケージ仕様)」を参照してください。  
<http://www.microchip.com/packaging>

図 15-2: 28-QFN パッケージ (図面と寸法)

## 28-Lead Plastic Quad Flat, No Lead Package (MK) – 4x4x0.9 mm Body [QFN]



Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	28		
Pitch	e	0.40 BSC		
Overall Height	A	0.80	0.85	0.90
Standoff	A1	0.00	0.02	0.05
Contact Thickness	A3	0.20 REF		
Overall Width	E	4.00 BSC		
Exposed Pad Width	E2	2.50	2.60	2.70
Overall Length	D	4.00 BSC		
Exposed Pad Length	D2	2.50	2.60	2.70
Contact Width	b	0.17	0.20	0.25
Contact Length	L	0.30	0.40	0.50
Contact-to-Exposed Pad	K	0.20	-	-

**Notes:**

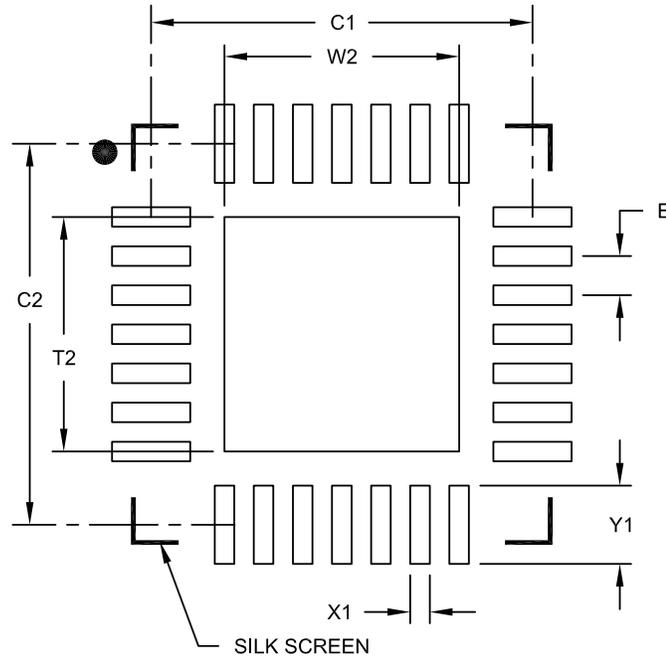
- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Package is saw singulated.
- Dimensioning and tolerancing per ASME Y14.5M.  
 BSC: Basic Dimension, Theoretically exact value shown without tolerances.  
 REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-144A

**Note:** 最新のパッケージ図面については、以下のウェブページにある「Microchip Packaging Specification (Microchip 社パッケージ仕様)」を参照してください。  
<http://www.microchip.com/packaging>

図 15-3: 28-QFN パッケージ (ランドパターン)

28-Lead Plastic Quad Flat, No Lead Package (MK) – 4x4x0.9 mm Body [QFN]



RECOMMENDED LAND PATTERN

		Units	MILLIMETERS		
		Dimension Limits	MIN	NOM	MAX
Contact Pitch	E		0.40 BSC		
Optional Center Pad Width	W2				2.40
Optional Center Pad Length	T2				2.40
Contact Pad Spacing	C1			3.90	
Contact Pad Spacing	C2			3.90	
Contact Pad Width	X1				0.20
Contact Pad Length	Y1				0.80

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2144A

# UPD350

---

---

## 補遺 A: 改訂履歴

表 A-2: 改訂履歴

リビジョン	セクション / 図 / 項目	改訂内容
DS00002643A (03-26-18)		本書は初版です。

## Microchip 社のウェブサイト

Microchip 社はウェブサイト ([www.microchip.com](http://www.microchip.com)) でオンライン サポートを提供しています。当ウェブサイトでは、お客様に役立つ情報やファイルを見つけていただけます。一般的なインターネット ブラウザから以下の内容をご覧いただけます。

- **製品サポート** - データシートとエラッタ、アプリケーションノートとサンプル プログラム、設計リソース、ユーザガイドとハードウェア サポート文書、最新のソフトウェアと過去のソフトウェア
- **一般的技術サポート** - よく寄せられる質問 (FAQ)、技術サポートのご依頼、オンライン ディスカッション グループ、Microchip 社のコンサルタント プログラムおよびメンバーリスト
- **ご注文とお問い合わせ** - 製品セレクタと注文ガイド、最新プレスリリース、セミナー / イベントの一覧、お問い合わせ先 (営業所 / 販売代理店) の一覧

## お客様向け変更通知サービス

Microchip 社のお客様向け変更通知サービスは、お客様に Microchip 社製品の最新情報をお届けするサービスです。ご興味のある製品ファミリまたは開発ツールに関する変更、更新、リビジョン、エラッタ情報をいち早くメールにてお知らせします。

Microchip 社ウェブサイト ([www.microchip.com](http://www.microchip.com)) にアクセスし、[DESIGN SUPPORT] メニューの下の [Product Change Notification] からご登録ください。

## お客様サポート

Microchip 社製品をお使いのお客様は、以下のチャンネルからサポートをご利用頂けます。

- 販売代理店
- 弊社営業所
- 技術サポート

サポートは販売代理店にお問い合わせください。もしくは弊社までご連絡ください。本書の最後のページに各国の営業所の一覧を記載しています。

技術サポートは以下のウェブページからもご利用になれます。 <http://www.microchip.com/support>

# UPD350

## 製品識別システム

ご注文または製品の価格 / 納期に関しては、弊社または販売代理店までお問い合わせください。

製品番号	X	[X] <sup>(1)</sup>	[X]	/XXX	Vxx	例:	
デバイス	バージョン	テープ & リール オプション	温度レンジ	パッケージ	車載コード		
デバイス:	UPD350						
バージョン:	A	= +1.8 ~ 3.3 V I <sup>2</sup> C インターフェイス、デッドバッテリー時の起動のサポート					a) UPD350A/Q8X I <sup>2</sup> C インターフェイス、デッドバッテリー時の起動のサポート 標準梱包、 商業用温度レンジ、 28 ピン QFN パッケージ
	B	= SPI インターフェイス、デッドバッテリー時の起動のサポート					b) UPD350BT/Q8X SPI インターフェイス、デッドバッテリー時の起動のサポート テープ & リール、 商業用温度レンジ、 28 ピン QFN パッケージ
	C	= +1.8 ~ 3.3 V I <sup>2</sup> C インターフェイス、デッドバッテリー時のサポートなし					c) UPD350B-I/Q8XVAA SPI インターフェイス、デッドバッテリー時の起動のサポート 標準梱包、 産業用温度レンジ、 28 ピン QFN パッケージ、車載
	D	= SPI インターフェイス、デッドバッテリー時のサポートなし					d) UPD350C/Q8X I <sup>2</sup> C インターフェイス、デッドバッテリー時のサポートなし 標準梱包、 商業用温度レンジ、 28 ピン QFN パッケージ
テープ & リール オプション:	空欄	= 標準梱包 (トレイ)					
	T	= テープ & リール (Note 1)					
温度レンジ:	空欄	= 0 ~ +70 °C (商業用温度レンジ)					
	-I	= -40 ~ +85 °C (産業およびグレード 3 車載用温度レンジ)					
パッケージ:	Q8X	= 28 ピン QFN					
車載コード:	Vxx	= 車載向け製品を示す接頭辞「V」の付いた 3 文字のコード					
						<p><b>Note 1:</b> テープ &amp; リールの識別情報は、カタログの製品番号説明に記載しています。これは製品の注文時に使う識別情報であり、デバイスのパッケージには印刷していません。テープ &amp; リールが選択できるパッケージの在庫 / 供給状況は、弊社までお問い合わせください。</p>	

Microchip 社製デバイスのコード保護機能に関して以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに仕様に従って使用した場合、Microchip 社製品のセキュリティレベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- しかし、コード保護機能を解除するための不正かつ違法な方法が存在する事もまた事実です。弊社の理解では、こうした手法は Microchip 社データシートにある動作仕様書以外の方法で Microchip 社製品を使用する事になります。このような行為は知的財産権の侵害に該当する可能性が非常に高いと言えます。
- Microchip 社は、コードの保全性に懸念を抱いているお客様と連携し、対応策に取り組んでいきます。
- Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「解読不能」として保証するものではありません。

コード保護機能は常に進歩しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。Microchip 社のコード保護機能の侵害は、デジタル ミレニアム著作権法に違反します。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合、デジタル ミレニアム著作権法の定めるところにより損害賠償訴訟を起こす権利があります。

本書に記載されているデバイス アプリケーション等に関する情報は、ユーザの便宜のためにのみ提供されているものであり、更新によって無効とされる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。Microchip 社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。Microchip 社は、本書の情報およびその使用に起因する一切の責任を否認します。生命維持装置あるいは生命安全用途に Microchip 社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害を受けない事に同意するものとします。特に記載のない限り、暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

Microchip 社では、Chandler および Tempe (アリゾナ州)、Gresham (オレゴン州) の本部、設計部およびウェハー製造工場そしてカリフォルニア州とインドのデザインセンターが ISO/TS-16949:2009 認証を取得しています。Microchip 社の品質システム プロセスおよび手順は、PIC<sup>®</sup> MCU および dsPIC<sup>®</sup> DSC、KEELOQ<sup>®</sup> コードホッピング デバイス、シリアル EEPROM、マイクロペリフェラル、揮発性メモリ、アナログ製品に採用されています。さらに、開発システムの設計と製造に関する Microchip 社の品質システムは ISO 9001:2000 認証を取得しています。

**QUALITY MANAGEMENT SYSTEM**  
**CERTIFIED BY DNV**  
**== ISO/TS 16949 ==**

## 商標

Microchip 社の名称とロゴ、Microchip ロゴ、AnyRate、AVR、AVR logo、AVR Freaks、BeaconThings、BitCloud、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、Heldo、JukeBlox、KEELOQ、KEELOQ logo、Kleer、LANCheck、LINK MD、maxStylus、maxTouch、MediaLB、megaAVR、MOST、MOST logo、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC<sup>32</sup> logo、Prochip Designer、QTouch、RightTouch、SAM-BA、SpyNIC、SST、SST Logo、SuperFlash、tinyAVR、UNI/O、および XMEGA は米国およびその他の国における Microchip Technology Incorporated の登録商標です。

ClockWorks、Embedded Control Solutions Company、EtherSynch、Hyper Speed Control、HyperLight Load、IntelliMOS、mTouch、Precision Edge、および Quiet-Wire は米国における Microchip Technology Incorporated の登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BodyCom、chipKIT、chipKIT logo、CodeGuard、CryptoAuthentication、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、EtherGREEN、In-Circuit Serial Programming、ICSP、Inter-Chip Connectivity、JitterBlocker、KleerNet、KleerNet logo、Mindi、MiWi、motorBench、MPASM、MPF、MPLAB Certified logo、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICKit、PICKtail、PureSilicon、QMatrix、RightTouch logo、REAL ICE、Ripple Blocker、SAM-ICE、Serial Quad I/O、SMART-I.S.、SQI、SuperSwitcher、SuperSwitcher II、Total Endurance、TSHARC、USBCheck、VariSense、ViewSpan、WiperLock、Wireless DNA、および ZENA は米国およびその他の Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービスマークです。

Silicon Storage Technology は他の国における Microchip Technology Inc. の登録商標です。

GestIC は Microchip Technology Inc. の子会社である Microchip Technology Germany II GmbH & Co. & KG 社の他の国における登録商標です。

その他本書に記載されている商標は各社に帰属します。

© 2018, Microchip Technology Incorporated, All Rights Reserved.

ISBN: 978-1-5224-3063-6

## 各国の営業所とサービス

### 北米

**本社**  
2355 West Chandler Blvd.  
Chandler, AZ 85224-6199  
Tel: 480-792-7200  
Fax: 480-792-7277  
技術サポート:  
<http://www.microchip.com/support>  
URL:  
[www.microchip.com](http://www.microchip.com)

#### アトランタ

Duluth, GA  
Tel: 678-957-9614  
Fax: 678-957-1455

#### オースティン、TX

Tel: 512-257-3370

#### ボストン

Westborough, MA  
Tel: 774-760-0087  
Fax: 774-760-0088

#### シカゴ

Itasca, IL  
Tel: 630-285-0071  
Fax: 630-285-0075

#### ダラス

Addison, TX  
Tel: 972-818-7423  
Fax: 972-818-2924

#### デトロイト

Novi, MI  
Tel: 248-848-4000

#### ヒューストン、TX

Tel: 281-894-5983

#### インディアナポリス

Noblesville, IN  
Tel: 317-773-8323  
Fax: 317-773-5453  
Tel: 317-536-2380

#### ロサンゼルス

Mission Viejo, CA  
Tel: 949-462-9523  
Fax: 949-462-9608  
Tel: 951-273-7800

#### ローリー、NC

Tel: 919-844-7510

#### ニューヨーク、NY

Tel: 631-435-6000

#### サンノゼ、CA

Tel: 408-735-9110  
Tel: 408-436-4270

#### カナダ - トロント

Tel: 905-695-1980  
Fax: 905-695-2078

### アジア / 太平洋

**アジア太平洋支社**  
Suites 3707-14, 37th Floor  
Tower 6, The Gateway  
Harbour City, Kowloon

#### 香港

Tel: 852-2943-5100  
Fax: 852-2401-3431

#### オーストラリア - シドニー

Tel: 61-2-9868-6733  
Fax: 61-2-9868-6755

#### 中国 - 北京

Tel: 86-10-8569-7000  
Fax: 86-10-8528-2104

#### 中国 - 成都

Tel: 86-28-8665-5511  
Fax: 86-28-8665-7889

#### 中国 - 重慶

Tel: 86-23-8980-9588  
Fax: 86-23-8980-9500

#### 中国 - 東莞

Tel: 86-769-8702-9880

#### 中国 - 広州

Tel: 86-20-8755-8029

#### 中国 - 杭州

Tel: 86-571-8792-8115  
Fax: 86-571-8792-8116

#### 中国 - 香港 SAR

Tel: 852-2943-5100  
Fax: 852-2401-3431

#### 中国 - 南京

Tel: 86-25-8473-2460  
Fax: 86-25-8473-2470

#### 中国 - 青島

Tel: 86-532-8502-7355  
Fax: 86-532-8502-7205

#### 中国 - 上海

Tel: 86-21-3326-8000  
Fax: 86-21-3326-8021

#### 中国 - 瀋陽

Tel: 86-24-2334-2829  
Fax: 86-24-2334-2393

#### 中国 - 深圳

Tel: 86-755-8864-2200  
Fax: 86-755-8203-1760

#### 中国 - 武漢

Tel: 86-27-5980-5300  
Fax: 86-27-5980-5118

#### 中国 - 西安

Tel: 86-29-8833-7252  
Fax: 86-29-8833-7256

### アジア / 太平洋

**中国 - 厦門**  
Tel: 86-592-2388138  
Fax: 86-592-2388130

#### 中国 - 珠海

Tel: 86-756-3210040  
Fax: 86-756-3210049

#### インド - バンガロール

Tel: 91-80-3090-4444  
Fax: 91-80-3090-4123

#### インド - ニューデリー

Tel: 91-11-4160-8631  
Fax: 91-11-4160-8632

#### インド - プネ

Tel: 91-20-3019-1500

#### 日本 - 大阪

Tel: 81-6-6152-7160  
Fax: 81-6-6152-9310

#### 日本 - 東京

Tel: 81-3-6880-3770  
Fax: 81-3-6880-3771

#### 韓国 - 大邱

Tel: 82-53-744-4301  
Fax: 82-53-744-4302

#### 韓国 - ソウル

Tel: 82-2-554-7200  
Fax: 82-2-558-5932 または  
82-2-558-5934

#### マレーシア - クアラルンプール

Tel: 60-3-6201-9857  
Fax: 60-3-6201-9859

#### マレーシア - ペナン

Tel: 60-4-227-8870  
Fax: 60-4-227-4068

#### フィリピン - マニラ

Tel: 63-2-634-9065  
Fax: 63-2-634-9069

#### シンガポール

Tel: 65-6334-8870  
Fax: 65-6334-8850

#### 台湾 - 新竹

Tel: 886-3-5778-366  
Fax: 886-3-5770-955

#### 台湾 - 高雄

Tel: 886-7-213-7830

#### 台湾 - 台北

Tel: 886-2-2508-8600  
Fax: 886-2-2508-0102

#### タイ - バンコク

Tel: 66-2-694-1351  
Fax: 66-2-694-1350

### ヨーロッパ

**オーストリア - ヴェルス**  
Tel: 43-7242-2244-39  
Fax: 43-7242-2244-393

#### デンマーク - コペンハーゲン

Tel: 45-4450-2828  
Fax: 45-4485-2829

#### フィンランド - エスポー

Tel: 358-9-4520-820

#### フランス - パリ

Tel: 33-1-69-53-63-20  
Fax: 33-1-69-30-90-79

#### フランス - サン=クルー

Tel: 33-1-30-60-70-00

#### ドイツ - ガルヒング

Tel: 49-8931-9700

#### ドイツ - ハーン

Tel: 49-2129-3766400

#### ドイツ - ハイムロン

Tel: 49-7131-67-3636

#### ドイツ - カールスルーエ

Tel: 49-721-625370

#### ドイツ - ミュンヘン

Tel: 49-89-627-144-0  
Fax: 49-89-627-144-44

#### ドイツ - ローゼンハイム

Tel: 49-8031-354-560

#### イスラエル - ラーナナ

Tel: 972-9-744-7705

#### イタリア - ミラノ

Tel: 39-0331-742611  
Fax: 39-0331-466781

#### イタリア - ヴェニス

Tel: 39-049-7625286

#### オランダ - ドリュエネン

Tel: 31-416-690399  
Fax: 31-416-690340

#### ノルウェー - トロンハイム

Tel: 47-7289-7561

#### ポーランド - ワルシャワ

Tel: 48-22-3325737

#### ルーマニア - ブカレスト

Tel: 40-21-407-87-50

#### スペイン - マドリッド

Tel: 34-91-708-08-90  
Fax: 34-91-708-08-91

#### スウェーデン - ヨーテボリ

Tel: 46-31-704-60-40

#### スウェーデン - ストックホルム

Tel: 46-8-5090-4654

#### イギリス - ウォーキングム

Tel: 44-118-921-5800  
Fax: 44-118-921-5820